

Cfo 14023 US/w

GAI: 2079

日 本 国 特 許 庁

PATENT OFFICE  
JAPANESE GOVERNMENT



別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日

Date of Application:

1998年11月18日

RECEIVED

MAR 02 2000

出 願 番 号

Application Number:

平成10年特許願第328586号

TECHNOLOGY CENTER 2800

出 願 人

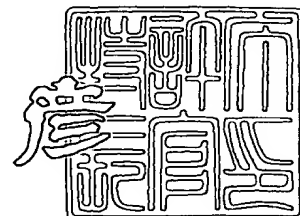
Applicant (s):

キヤノン株式会社

1999年12月10日

特許庁長官  
Commissioner,  
Patent Office

近 藤 隆 彦



出証番号 出証特平11-3086967

【書類名】 特許願

【整理番号】 3669070

【提出日】 平成10年11月18日

【あて先】 特許庁長官殿

【国際特許分類】 H04N 1/195

【発明の名称】 電子源形成用基板、電子源とその製造方法及び画像形成装置とその製造方法

【請求項の数】 11

【発明者】

    【住所又は居所】 東京都大田区下丸子 3 丁目 3 0 番 2 号 キヤノン株式会社  
社内

    【氏名】 小林 玉樹

【特許出願人】

    【識別番号】 000001007

    【氏名又は名称】 キヤノン株式会社

    【代表者】 御手洗 富士夫

【代理人】

    【識別番号】 100065385

    【弁理士】

    【氏名又は名称】 山下 穰平

    【電話番号】 03-3431-1831

【手数料の表示】

    【予納台帳番号】 010700

    【納付金額】 21,000円

【提出物件の目録】

    【物件名】 明細書 1

    【物件名】 図面 1

    【物件名】 要約書 1

    【包括委任状番号】 9703871

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 電子源形成用基板、電子源とその製造方法及び画像形成装置とその製造方法

【特許請求の範囲】

【請求項 1】 対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を 1 又は複数組載置する電子源形成用基板において、主成分として  $\text{SiO}_2$  を 69～75 重量% 含み、副成分中最多成分として  $\text{Na}_2\text{O}$  を 10～17 重量% 含むガラスよりなる基体と、該基体上に形成された、 $\text{SiO}_2$  を主成分とした絶縁性材料より成る第一の層と、該第一の層上に形成された、 $\text{SiO}_2$  を構成成分として且つ、基板表面のシート抵抗値が  $10^8 \sim 10^{10} \Omega/\square$  である第二の層を備えることを特徴とする、電子源形成用基板。

【請求項 2】 請求項 1 に記載の電子源形成用基板において、前記第一の層が、P, B, Ge の中から選ばれた一つ以上の元素を副成分の一部又は全部として含み、且つ、選ばれた一つ以上の元素の重量% の和が副成分中最多成分である事を特徴とする電子源形成用基板。

【請求項 3】 請求項 1 又は 2 に記載の電子源形成用基板において、前記第二の層が、電子伝導性酸化物材料を含有していることを特徴とする電子源形成用基板。

【請求項 4】 請求項 3 に記載の電子源形成用基板において、前記電子伝導性酸化物材料が活性化促進材料である、In, Sn, Sb, Re の中から選ばれた一つ以上の元素より成る酸化物材料である事を特徴とする、電子源形成用基板。

【請求項 5】 請求項 1 乃至 4 のいずれか 1 項に記載の電子源形成用基板の製造方法において、前記第一の層の形成方法が CVD 法である事を特徴とする電子源形成用基板の製造方法。

【請求項 6】 請求項 1 乃至 4 のいずれか 1 項に記載の電子源形成用基板の製造方法において、前記第一の層と、前記第二の層の形成方法が CVD 法であり、第一の層と第二の層が連続して形成される事を特徴とする電子源形成用基板の

製造方法。

【請求項 7】 請求項 4 に記載の電子源形成用基板の製造方法において、前記第一の層と、前記第二の層の形成方法が CVD 法であり、第一の層と第二の層が連続して形成され、前記第一の層を形成後、In, Sn, Sb, Re の中から選ばれた一つ以上の元素より成る酸化物材料を形成するための原料ソースを添加する事により、第二の層を連続して形成する事を特徴とする電子源形成用基板の製造方法。

【請求項 8】 請求項 1 乃至 4 のいずれか 1 項に記載の電子源形成基板上と、該電子源形成基板上に載置された 1 又は複数組の対向する一対の素子電極及び該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子と、を備える事を特徴とする電子源。

【請求項 9】 請求項 5 乃至 7 のいずれか 1 項に記載の電子源形成用基板を製造する第一の工程と、対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を、1 又は複数配置する第二の工程を有する事を特徴とする電子源の製造方法。

【請求項 10】 請求項 8 に記載の電子源と、画像形成部材とを有する事を特徴とする画像形成装置。

【請求項 11】 請求項 9 に記載の製造方法で得られた電子源とを、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせる事を特徴とする画像形成装置の製造方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を、基板上に 1 又は複数配置してなる電子源とその製造方法、該電子源を用いた画像形成装置及びその製造方法、ならびに該電子源の形成に使用する電子源形成用基板に関する。

【0002】

【従来の技術】

従来より、電子放出素子としては大別して熱電子放出素子と冷陰極電子放出素子を用いた2種類のものが知られている。冷陰極電子放出素子には電界放出型（以下、「FE型」という。）、金属／絶縁層／金属型（以下、「MIM型」という。）や表面伝導型電子放出素子等がある。FE型の例としてはW. P. Dyke & W. W. Dolan, "Field emission", *Advance in Electoron Physics*, 8, 89(1956)あるいはC. A. Spindt, "Physical Properties of Thin-Film Field Emission Cathodes with Molybdenum Cones", *J. Appl. Phys.*, 47, 5248(1976)等が開示されたものが知られている。MIN型の例としては、C. A. Mead, "Operation of Tunnel-Emission Devices", *J. Apply. Phys.*, 32, 646(1961)等が開示されたものが知られている。表面伝導型電子放出素子型の例としては、M. I. Elinson, *Recio Eng. Electron Phys.*, 10, 1290, (1965)等が開示されたものがある。表面伝導型電子放出素子は、基板上に形成された小面積の薄膜に、膜面に平行に電流を流すことにより、電子放出が生ずる現象を利用するものである。この表面伝導型電子放出素子としては、前記エリンソン等による $\text{SnO}_2$  薄膜を用いたもの、Au 薄膜によるもの[G. Dittmer: "Thin Solid Films", 9, 317(1972)]、 $\text{In}_2\text{O}_3$  /  $\text{SnO}_2$  薄膜によるもの[M. Hartwell and C. G. Fonstad: "IEEE Trans. ED Conf.", 519(1975)]、カーボン薄膜によるもの[荒木久 他: 真空、第26巻、第1号、22頁(1983)]等が報告されている。また、表面伝導型電子放出素子の更なる改善に関し、本出願人により、多数の出願がなされている。

### 【0003】

これらの表面伝導型電子放出素子の典型的な素子構成を図16(a)及び(b)に模式的に示す。同図において(a)は平面図、(b)は断面図である。1は基板であり、2, 3は基板上に対向して設けられた一对の素子電極、4は上記素子電極2, 3に接続する導伝性膜であり、その一部に電子放出部5を有する。従来、該電子放出部5の形成には、通電フォーミングと呼ばれる通電処理をおこなうのが一般的であった。即ち、通電フォーミングとは前記導電性膜4が接続する上記一对の素子電極2, 3の間に電圧を印加して該導電成膜4に電流を流し、導電性膜4を局所的に破壊、形成もしくは変質せしめ、電氣的に高抵抗な状態にした電子放出部5を形成することである。尚、電子放出部5は導電性薄膜4の一部

に亀裂が発生しその亀裂付近から電子放出が行われる。尚、上記通電フォーミングの際に印加される電圧は、直流電圧或いはゆっくりと上昇する電圧であってもよいが、よい電子放出特性を得るためには、パルス電圧を繰り返し印加するのが好ましい。パルス電圧の波高値は、一定に保持する方法、徐々に上昇させる方法など、条件に応じてさまざまなものを採用しうる。

## 【0004】

また、活性化と呼ばれる工程を実施することにより、電子放出特性を著しく向上させることで可能であり、上述の出願の中で示されている。

## 【0005】

上記のような構成を有する電子放出素子を、基板上に複数配置して構成された電子源、及びそれを用いた画像形成装置についても、上述の出願の中で示されている。電子源を、内部を真空中に保持した外囲器中に保持して利用する為には、該電子源と外囲器、その他の部材とを接合する必要がある。この接合は、フリットガラスを用いて加熱、融着して行うのが一般的である。この時の加熱温度は、400～500℃程度が典型的で、時間は外囲器の大きさなどによって異なるが、10分～1時間程度が典型的である。

## 【0006】

尚、外囲器の材質としては、フリットガラスによる接合が容易で確実であるという点から、青板ガラスを用いる事が好ましい。また、青板ガラスは比較的安価であるという点からも好ましい。基板の材質は、外囲器との接合の確実性から、同様に青板ガラスを用いる事が好ましい。

## 【0007】

## 【発明が解決しようとする課題】

しかしながら、これら従来の表面伝導型電子放出素子においては、次に述べる様な、様々な問題があった。

## 【0008】

即ち、青板ガラスには成分としてアルカリ金属元素、特にNaが $\text{Na}_2\text{O}$ として大量に含有されている。Na元素は熱による拡散が生じ易いため、プロセス中で高温にさらされると、青板ガラス上に形成された各種部材、特に導電性膜中に

Na が拡散し、その特性を変化させる場合がある。具体的には、活性化の工程を行う場合、青板ガラス上に形成された電子放出素子においては、十分な量の電子放出量を獲得するのに多大な時間を要するという問題が挙げられる。更に、長時間にわたり、電子放出をさせて駆動する場合においては、電子放出量の時間的な変動が大きいという問題が挙げられる。これらの課題がすべて  $\text{Na}_2\text{O}$  によるものと断定する事はできないが、要因の一つとして密接に関係しているものと推察される。これは以下の予備的実験の考察に基づくものである。

## 【0009】

予備的実験は、青板ガラス上に  $\text{SiO}_2$  をスパッタリング法で厚さを 100 nm, 200 nm, 400 nm, と異ならしめて形成し、素子の活性化に要する時間（同じ放出電流を得られる時間）を評価して行った。その結果、 $\text{SiO}_2$  の厚さが増すにつれて活性化に要する時間が短くなり、上述の問題が緩和される傾向にあった。続いて、400 nm の膜厚の素子を二次イオン質量分析法（SIMS）により、基板表面からの厚さ方向に Na 元素の濃度を測定したところ、基板表面から深くなると徐々に Na の濃度が上昇するものであった。これらの結果より、Na が活性化工程に影響を与えている事が推測される。

## 【0010】

このような問題を回避する手段として、基板に石英などの青板ガラス以外の材質を用いる事は、材料自体も高価であるだけでなく、接合などの加工が困難になるため、避ける必要がある。このために用いられる方法の一つは、上述の青板ガラス基板の表面に、 $\text{SiO}_2$  膜をスパッタリングなどの方法により形成するものである。しかしながらこの方法では、青板ガラス基板と  $\text{SiO}_2$  膜の間に応力が生じ、 $\text{SiO}_2$  膜をあまり厚くすると剥離してしまうために、厚さには限界がある。同時に、 $\text{SiO}_2$  膜の高い絶縁性により、電子を放出させる為に使用する高電圧の印加された状態で駆動する場合においては、 $\text{SiO}_2$  膜の露出している部分でチャージアップ現象が生じ、安定に長時間駆動する事が困難になってしまう。更には、チャージアップにより、電子の軌道が乱され、画像形成装置として利用する場合においては、色ずれなど、致命的な問題を生じる場合がある。

## 【0011】

従って、Naの導電性膜などへの拡散及びチャージアップによる悪影響を回避する方法が必要である。

## 【0012】

上述の表面伝導型放出素子は、構造が単純で製造も容易であることから、大面積にわたり多数素子を配列形成できる利点がある。そこで、この特徴を生かせるようないろいろな応用が研究されている。例えば、荷電ビーム源、表示装置等があげられる。多数の表面伝導型放出素子を配列形成した例としては、後述する様に、並列に表面伝導型電子放出素子を配列し、個々の素子の両端を配線（共通配線とも呼ぶ）で、それぞれ結線した行を多数行配列した電子源があげられる（例えば、特開昭64-031332号公報、特開平1-283749号公報、特開平2-257552号公報等）。また、特に表示装置等の画像形成装置においては、近年、液晶を用いた平板型表示装置が、CRTに替わって、普及してきたが、自発光型でないため、バックライトを持たなければならない等の問題点があり、自発光型の表示装置の開発が、望まれてきた。自発光型表示装置としては、表面伝導型放出素子を多数配置した電子源と電子源より放出された電子によって、可視光を発光せしめる蛍光体とを組み合わせた表示装置である画像形成装置が、あげられる（例えば、米国特許第5066883号）。

## 【0013】

従来、表面伝導型電子放出素子の表面を帯電防止膜で被覆する技術が、特開平8-180801号公報に開示されている。特開平08-180801号公報には、基板表面のシート抵抗値が $10^8 \sim 10^{10} \Omega/\square$ となるように調整する理由についても述べられている。

## 【0014】

## 【問題を解決するための手段】

本発明は、上述した課題を解決するために鋭意検討を行って成されたものであり、下述する構成のものである。

## 【0015】

即ち、本発明の電子源形成用基板は、対向する一对の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を1又は複数組載置

する電子源形成用基板において、主成分として  $\text{SiO}_2$  を 69~75 重量% 含み、副成分中最多成分として  $\text{Na}_2\text{O}$  を 10~17 重量% 含むガラスよりなる基体と、該基体上に形成された、 $\text{SiO}_2$  を主成分とした絶縁性材料より成る第一の層と、該第一の層上に形成された、 $\text{SiO}_2$  を構成成分として且つ、基板表面のシート抵抗値が  $10^8 \sim 10^{10} \Omega/\square$  である第二の層を備えることを特徴とする。

## 【0016】

本発明の電子源形成用基板の製造方法は、上記の  $\text{SiO}_2$  を主成分として絶縁性材料より成る第一の層の形成方法を CVD 法により形成する事を特徴とするものである。

## 【0017】

本発明の電子源は、上記の電子源形成用基板上に、対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子が、1 又は複数配置してなることを特徴とするものである。

## 【0018】

本発明の電子源の製造方法は、上記の電子源形成用基板を製造する第一の工程と、対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を、1 又は複数配置する第二の工程を有する事を特徴とするものである。

## 【0019】

本発明の画像形成装置は、上記電子源と、画像形成部材とを有する事を特徴とするものである。

## 【0020】

本発明の画像形成装置の製造方法は、上記の製造方法で得られた電子源を、該電子源からの電子線の照射により画像を形成する画像形成部材と組み合わせる事を特徴とするものである。

## 【0021】

本発明の電子源用基板によれば、青板ガラス中に含まれるアルカリ金属元素、特に  $\text{Na}$  が、導電性膜中に拡散し、その特性が変化するのを抑制する事が出来る

。とりわけ、前述の活性化工程により、十分な量の電子放出量を獲得するのに要する時間を短縮する事が可能であり、同時に、長時間にわたり、電子放出をさせて駆動する場合においては、電子放出量の時間的な変動を効果的に抑制可能である。更に、チャージアップによる電子放出量の時間的な変動を効果的に抑制可能である。

## 【0022】

尚、本発明について更に詳しく述べれば、 $\text{SiO}_2$  を主成分とした絶縁性材料より成る第一の層に P, B, Ge の中から選ばれた一つ以上の元素を含み、且つ、該一つ以上の元素の和が副成分中最多成分であるようにすることにより、第一の層と青板ガラスに生じる応力を緩和し、比較的容易に厚く形成する事が可能であり、好ましい。この第一の層の製造方法としては、CVD法を採用することにより、成膜時の条件にもよるが数ミクロン程度は形成可能であり、好ましい。更に、 $\text{SiO}_2$  を構成成分として且つ、基板表面のシート抵抗値が  $10^8 \sim 10^{10} \Omega/\square$  となるように形成される第二の層は、電子伝導性酸化物材料を含有していることが好ましく、活性化促進効果のある In, Sn, Sb, Re の中から選ばれた一つ以上の元素より成る酸化物材料であることが更に好ましい。尚、ここでいう活性化促進とは、酸化シリコンと比較して、炭素による易還元性の強さを意味し、還元性の強いものほど、活性化を促進する事が可能である。即ち、活性化促進とは、十分な量の電子放出量を獲得するのに要する時間を短縮させる効果の高いものを指す。更に、この第二の層の形成方法としては、CVD法を採用する事が好ましく、この場合、第一の層の形成に続いて連続的に形成可能であり、製造時間を短縮可能である。尚、第一の層と第二の層は、その組成において共に均一である必要はなく、例えば、厚さ方向に対してグラデーションを持つようなものであってもいっこうに構わない。

## 【0023】

以上のように、本発明の電子源用基板は、対向する一対の素子電極と、該素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子の特性を向上させる機能を、基板そのものが具備している事を特徴としている。

## 【0024】

本発明の電子源によれば、上述の電子源用基板を使用する事により、Naに起因すると思われる上述の素子特性への悪影響を抑制し、かつ、チャージアップに起因する素子特性への悪影響をも抑制し、ひいては長時間にわたり、安定に動作させる事が可能となる。

## 【0025】

本発明の電子源の製造方法によれば、電子放出素子の特性を向上させる機能を、基板そのものに持たせる事が可能であり、電子放出素子の表面を帯電防止膜で被覆する工程を必要としない。

## 【0026】

更に、本発明の画像形成装置及びその製造方法によれば、長時間にわたり、安定に動作可能な画像形成装置を実現可能である。

## 【0027】

## 【発明の実施の形態】

以下、図面を参照しながら本発明を説明する。まず、図1を用いて本発明を適用する電子放出素子の基本的構成について述べる。図1は、本発明を適用可能な電子放出素子の構成を示す模式図であり、図1(a)は平面図、図1(b)は断面図である。図1において1は青板ガラスより成る基体、2と3は素子電極、4は導電性薄膜、5は電子放出部である。6は $\text{SiO}_2$ を主成分とした絶縁性材料より成る第一の層、7は該第一の層上に形成された基板表面のシート抵抗値が $10^8 \sim 10^{10} \Omega/\square$ である第二の層である。

## 【0028】

対向する素子電極2、3の材料としては、一般的な導体材料を用いることができる。これは例えばNi, Cr,  $\text{Al}$ , W, Pt, Ti, Al, Cu, Pd等の金属或は合金及びPd, Ag, Au,  $\text{RuO}_2$ , Pd-Ag等の金属或は金属酸化物とガラス等から構成される印刷導体、 $\text{In}_2\text{O}_3 - \text{SnO}_2$ 等の透明導電体及びポリシリコン等の半導体導体材料等から適宜選択することができる。素子電極間隔L、素子電極長さW、導電性薄膜4の形状等は、応用される形態等を考慮して、設計される。素子電極間隔Lは、好ましく、数百nmから数百 $\mu\text{m}$ の範囲とすることができ、より好ましくは、数 $\mu\text{m}$ から数十 $\mu\text{m}$ の範囲とするこ

とができる。素子電極長さ $W$ は、電極の抵抗値、電子放出特性を考慮して、数 $\mu\text{m}$ から数百 $\mu\text{m}$ の範囲とすることができる。素子電極2, 3の膜厚 $d$ は、数十 $\text{nm}$ から数 $\mu\text{m}$ の範囲とすることができる。尚、図1に示した構成だけでなく、第二の層7上に、導電性薄膜4、対向する素子電極2, 3の順に積層した構成とすることもできる。

## 【0029】

導電性薄膜4には、良好な電子放出特性を得るために、微粒子で構成された微粒子膜を用いるのが好ましい。その膜厚は、素子電極2, 3へのステップカバレッジ、素子電極2, 3間の抵抗値及び後述するフォーミング条件等を考慮して適宜設定されるが、通常は、 $0.1\text{nm}$ の数倍から数百 $\text{nm}$ の範囲とするのが好ましく、より好ましくは $1\text{nm}$ より $50\text{nm}$ の範囲とするのが良い。そのシート抵抗値 $R_s$ は $10^2$  から  $10^7 \Omega/\square$  の値である。本願明細書において、フォーミング処理については、通電処理を例に挙げて説明するが、フォーミング処理はこれに限られるものではなく、膜に亀裂を生じさせて高抵抗状態を形成する処理を包含するものである。

## 【0030】

導電性薄膜4を構成する材料は、Pd, Pt, Ru, Ag, Au, Ti, In, Cu, Cr, Fe, Zn, Sn, Ta, W, Pd等の金属、PdO,  $\text{SnO}_2$ ,  $\text{In}_2\text{O}_3$ , PbO,  $\text{Sb}_2\text{O}_3$  等の酸化物等の中から適宜選択される。

## 【0031】

ここで述べる微粒子膜とは、複数の微粒子が集合した膜であり、その微細構造は、微粒子が個々に分散配置した状態あるいは微粒子が互いに隣接、あるいは重なり合った状態（いくつかの微粒子が集合し、全体として島状構造を形成している場合も含む）をとっている。微粒子の粒径は、 $0.1\text{nm}$ の数倍から数百 $\text{nm}$ の範囲、好ましくは、 $1\text{nm}$ から $20\text{nm}$ の範囲である。なお、本明細書では頻繁に「微粒子」という言葉を用いるので、その意味について説明する。小さな粒子を「微粒子」と呼び、これよりも小さなものを「超微粒子」と呼ぶ。「超微粒子」よりもさらに小さく原子の数が数百個程度以下のものを「クラスター」と呼ぶことは広く行われている。しかしながら、それぞれの境は厳密なものではなく

、どのような性質に注目して分類するかにより変化する。また「微粒子」と「超微粒子」を一括して「微粒子」と呼ぶ場合もあり、本明細書中での記述はこれに沿ったものである。「実験物理学講座 14 表面・微粒子」（木下是雄 編、共立出版 1986年9月1日発行）では次のように記述されている。「本稿で微粒子と言うときにはその直径がだいたい  $2 \sim 3 \mu\text{m}$  程度から  $10 \text{ nm}$  程度までとし、特に超微粒子というときは粒径が  $10 \text{ nm}$  程度から  $2 \sim 3 \text{ nm}$  程度までを意味することにする。両者を一括して単に微粒子と書くこともあってけっして厳密なものではなく、だいたいの目安である。粒子を構成する原子の数が2個から数十～数百個程度の場合はクラスターと呼ぶ。」（195 ページ 22～26 行目）付言すると、新技術開発事業団の“林・超微粒子プロジェクト”での「超微粒子」の定義は、粒径の下限はさらに小さく、次のようなものであった。「創造科学技術推進制度の“超微粒子プロジェクト”（1981～1986）では、粒子の大きさ（径）がおおよそ  $1 \sim 100 \text{ nm}$  の範囲のものを“超微粒子”（ultra fine particle）と呼ぶことにした。すると1個の超微粒子はおおよそ  $100 \sim 10^8$  個くらいの原子の集合体という事になる。原子の尺度でみれば超微粒子は大～巨大粒子である。」（「超微粒子－創造科学技術－」株主税、上田良二、田崎明 編；三田出版 1988年2 ページ 1～4 行目）「超微粒子よりさらに小さいもの、すなわち原子が数個～数百個で構成される1個の粒子は、ふつうクラスターと呼ばれる」（同書2 ページ 12～13 行目）上記のような一般的な呼び方をふまえて、本明細書において「微粒子」とは多数の原子・分子の集合体で、粒径の下限は  $0.1 \text{ nm}$  の数倍から  $1 \text{ nm}$  程度、上限は数  $\mu\text{m}$  程度のものを指すこととする。

# 【0032】

電子放出部5は、導電性薄膜4の一部に形成された高抵抗の亀裂により構成され、導電性薄膜4の膜厚、膜質、材料及び後述する通電フォーミング等の手法等に依存したものとなる。電子放出部5の内部には、 $0.1 \text{ nm}$  の数倍から数十  $\text{nm}$  の範囲の粒径の導電性微粒子が存在する場合もある。この導電性微粒子は、導電性薄膜4を構成する材料の元素の一部、あるいは全ての元素を含有するものとなる。電子放出部5及びその近傍の導電性薄膜4には、炭素及び炭素化合物を有

することもできる。

【0033】

以下、図1及び図2を参照しながら製造方法の一例について説明する。図2においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。

【0034】

1) 青板ガラス製の基体1を洗剤、純水および有機溶剤等を用いて十分に洗浄し、CVD法により第一の層6を形成する。続いて、CVD法、スパッタ法等により第二の層7を形成する(図2(a))。次に、真空蒸着法、スパッタ法等により素子電極材料を堆積後、例えばフォトリソグラフィ技術を用いて素子電極2, 3を形成する(図2(b))。

【0035】

2) 素子電極2, 3を設けた第二の層7上に、有機金属溶液を塗布して、有機金属薄膜を形成する。有機金属溶液には、前述の導電性膜4の材料の金属を主元素とする有機金属化合物の溶液を用いることができる。有機金属薄膜を加熱焼成処理し、リフトオフ、エッチング等によりパターンニングし、導電性薄膜4を形成する(図2(c))。ここでは、有機金属溶液の塗布法を挙げて説明したが、導電性薄膜4の形成法はこれに限られるものでなく、真空蒸着法、スパッタ法、化学的気相堆積法、分散塗布法、ディッピング法、スピナー法等を用いることもできる。

【0036】

3) つづいて、フォーミング工程を施す。このフォーミング工程の方法の一例として通電処理による方法を説明する。素子電極2, 3間に、不図示の電源を用いて、通電を行うと、導電性薄膜4の部位に、構造の変化した電子放出部5が形成される(図2(d))。通電フォーミングによれば導電性薄膜4に局所的に破壊、変形もしくは変質等の構造の変化した部位が形成される。該部位が電子放出部5を構成する。通電フォーミングの電圧波形の例を図3に示す。

【0037】

電圧波形は、パルス波形が、好ましい。これにはパルス波高値を定電圧とした

パルスを連続的に印加する図3 (a) に示した手法とパルス波高値を増加させながら、電圧パルスを印加する図3 (b) に示した手法がある。

【0038】

図3 (a) における  $T_1$  及び  $T_2$  は電圧波形のパルス幅とパルス間隔である。通常  $T_1$  は  $1 \mu \text{sec.} \sim 10 \text{msec.}$ 、 $T_2$  は、 $10 \mu \text{sec.} \sim 10 \text{msec.}$  の範囲で設定される。三角波の波高値（通電フォーミング時のピーク電圧）は、電子放出素子形態に応じて適宜選択される。このような条件のもと、例えば、数秒から数十分間電圧を印加する。パルス波形は三角波に限定されるものではなく、矩形波など所望の波形を採用することができる。

【0039】

図3 (b) における  $T_1$  及び  $T_2$  は、図3 (a) に示したのと同様とすることができる。三角波の波高値（通電フォーミング時のピーク電圧）は、例えば0.1 V/ステップ程度ずつ、増加させることができる。通電フォーミング処理の終了は、パルス間隔  $T_2$  中に、導電性薄膜2を局所的に破壊、変形しない程度の電圧を印加し、電流を測定して検知することができる。例えば0.1 V程度の電圧印加により流れる素子電流を測定し、抵抗値を求めて、 $1 \text{M}\Omega$  以上の抵抗を示した時、通電フォーミングを終了させる。

【0040】

4) フォーミングを終えた素子に活性化工程と呼ばれる処理を施すのが好ましい。活性化工程とは、この工程により、素子電流  $I_f$ 、放出電流  $I_e$  が、著しく変化する工程である。活性化工程は、例えば、有機物質のガスを含有する雰囲気下で、通電フォーミングと同様に、パルスの印加を繰り返すことで行うことができる。この雰囲気は、例えば油拡散ポンプやロータリーポンプなどを用いて真空容器内を排気した場合に雰囲気内に残留する有機ガスを利用して形成することができる他、イオンポンプなどにより一旦十分に排気した真空中に適当な有機物質のガスを導入することによっても得られる。このときの好ましい有機物質のガス圧は、前述の応用の形態、真空容器の形状や、有機物質の種類などにより異なるため場合に応じ適宜設定される。適当な有機物質としては、アルカン、アルケン、アルキンの脂肪族炭化水素類、芳香族炭化水素類、アルコール類、アルデヒド

類、ケント類、アミン類、フェノール、カルボン、スルホン酸等の有機酸類等を挙げる事が出来、具体的には、メンタ、エタン、プロパンなど $C_nH_{2n+2}$ で表される飽和炭化水素、エチレン、プロピレンなど $C_nH_{2n}$ 等の組成式で表される不飽和炭化水素、ベンゼン、トルエン、メタノール、エタノール、ホルムアルデヒド、アセトアルデヒド、アセトン、メチルエチルケトン、メチルアミン、エチルアミン、フェノール、蟻酸、酢酸、プロピオン酸等あるいはこれらの混合物が使用できる。この処理により、雰囲気中に存在する有機物質から、炭素あるいは炭素化合物が素子上に堆積し、素子電流  $I_f$ 、放出電流  $I_e$  が、著しく変化ようになる。

## 【0041】

活性化工程の終了判定は、素子電流  $I_f$  と放出電流  $I_e$  を測定しながら、適宜行う。尚パルス幅、パルス間隔、パルス波高値などは、適宜設定される。

## 【0042】

炭素及び炭素化合物とは、例えばグラファイト（いわゆるHOPG、PG、GCを包含する、HOPGはほぼ完全なグラファイトの結晶構造、PGは結晶粒が20nm程度で結晶構造がやや乱れたもの、GCは結晶粒が2nm程度になり結晶構造の乱れがさらに大きくなったものを指す。）、非晶質カーボン（アモルファスカーボン及び、アモルファスカーボンと前記グラファイトの微結晶の混合物を指す）であり、その膜厚は、50nm以下の範囲とするのが好ましく、30nm以下の範囲とすることがより好ましい。

## 【0043】

5) このような工程を経て得られた電子放出素子は、安定化工程を行うことが好ましい。この工程は、真空容器内の有機物質排気する工程である。真空容器を排気する真空排気装置は、装置から発生するオイルが素子の特性に影響を与えないように、オイルを使用しないものを用いるのが好ましい。具体的には、ソーブションポンプ、イオンポンプ等の真空排気装置を挙げる事が出来る。

## 【0044】

前記活性化の工程で、排気装置として油拡散ポンプやロータリーポンプを用い、これから発生するオイル成分に由来する有機ガスを用いた場合は、この成分の

分圧を極力低く抑える必要がある。真空容器内の有機成分の分圧は、上記の炭素及び炭素化合物がほぼ新たに堆積しない分圧で  $1.3 \times 10^{-6}$  Pa 以下が好ましく、さらには  $1.3 \times 10^{-8}$  Pa 以下が特に好ましい。さらに真空容器内を排気するときには、真空容器全体を加熱して、真空容器内壁や、電子放出素子に吸着した有機物質分子を排気しやすくするのが好ましい。このときの加熱条件は、 $80 \sim 250^\circ\text{C}$  好ましくは  $150^\circ\text{C}$  以上で、できるだけ長時間処理するのが望ましいが、特にこの条件に限るものではなく、真空容器の大きさや形状、電子放出素子の構成などの諸条件により適宜選ばれる条件により行う。真空容器内の圧力は極力低くすることが必要で、 $1 \times 10^{-5}$  Pa 以下が好ましく、さらに  $1.3 \times 10^{-6}$  Pa 以下が特に好ましい。

## 【0045】

安定化工程を行った後の、駆動時の雰囲気は、上記安定化処理終了時の雰囲気を維持するのが好ましいが、これに限るものではなく、有機物質が十分除去されていれば、真空度自体は多少低下しても十分安定な特性を維持することが出来る。このような真空雰囲気を採用することにより、新たな炭素あるいは炭素化合物の堆積を抑制でき、また真空容器や基板などに吸着した  $\text{H}_2\text{O}$ 、 $\text{O}_2$  など除去でき、結果として素子電流  $I_f$ 、放出電流  $I_e$  が、安定する。

## 【0046】

上述した工程を経て得られた本発明を適用可能な電子放出素子の基本特性について図4、図5を参照しながら説明する。

## 【0047】

図4は、真空処理装置の一例を示す模式図であり、この真空処理装置は測定評価装置としての機能をも兼ね備えている。図4においても、図1に示した部位と同じ部位には図1に付した符号と同一の符号を付している。図4において、55は真空容器であり、56は排気ポンプである。真空容器55内には電子放出素子が配されている。51は、電子放出素子に素子電圧  $V_f$  を印加するための電源、50は素子電極2、3間の導電性薄膜4を流れる素子電流  $I_f$  を測定するための電流計、54は素子の電子放出部より放出される放出電流  $I_e$  を捕捉するためのアノード電極である。53はアノード電極54に電圧を印加するための高圧電源

、52は素子の電子放出部5より放出される放出電流 $I_e$ を測定するための電流計である。一例として、アノード電極の電圧を1kV～10kVの範囲とし、アノード電極と電子放出素子との距離Hを2mm～8mmの範囲として測定を行うことができる。

## 【0048】

真空容器55内には、不図示の真空計等の真空雰囲気下での測定に必要な機器が設けられていて、所望の真空雰囲気下での測定評価を行えるようになっている。排気ポンプ56は、ターボポンプ、ロータリーポンプからなる通常の高真空装置系と更に、イオンポンプ等からなる超高真空装置系とにより構成されている。ここに示した電子源基板を配した真空処理装置の全体は、不図示のヒーターにより加熱できる。従って、この真空処理装置を用いると、前述の通電フォーミング以降の工程も行うことができる。

## 【0049】

図5は、図4に示した真空処理装置を用いて測定された放出電流 $I_e$ 、素子電流 $I_f$ と素子電圧 $V_f$ の関係を模式的に示した図である。図5においては、放出電流 $I_e$ が素子電流 $I_f$ に比べて著しく小さいので、任意単位で示している。なお、縦・横軸ともリニアスケールである。

## 【0050】

図5からも明らかなように、本発明を適用可能な電子放出素子は、放出電流 $I_e$ に関して三つの特徴的性質を有する。

## 【0051】

即ち、

(i) 本素子はある電圧（しきい値電圧と呼ぶ、図5中の $V_{th}$ ）以上の素子電圧を印加すると急激に放出電流 $I_e$ が増加し、一方しきい値電圧 $V_{th}$ 以下では放出電流 $I_e$ がほとんど検出されない。つまり、放出電流 $I_e$ に対する明確なしきい値電圧 $V_{th}$ を持った非線形素子である。

## 【0052】

(ii) 放出電流 $I_e$ が素子電圧 $V_f$ に単調増加依存するため、放出電流 $I_e$ は素子電圧 $V_f$ で制御できる。

## 【0053】

(iii)アノード電極54に捕捉される放出電荷は、素子電圧 $V_f$ を印加する時間に依存する。つまり、アノード電極54に捕捉される電荷量は、素子電圧 $V_f$ を印加する時間により制御できる。

## 【0054】

以上の説明より理解されるように、本発明を適用可能な電子放出素子は、入力信号に応じて、電子放出特性を容易に制御できることになる。この性質を利用すると複数の電子放出素子を配して構成した電子源、画像形成装置等、多方面への応用が可能となる。

## 【0055】

図5においては、素子電流 $I_f$ が素子電圧 $V_f$ に対して単調増加する（以下、「MI特性」という。）例を実線に示した。素子電流 $I_f$ が素子電圧 $V_f$ に対して電圧制御型負性抵抗特性（以下、「VCNR特性」という。）を示す場合もある（不図示）。これら特性は、前述の工程を制御することで制御できる。

## 【0056】

本発明を適用可能な電子放出素子の応用例について以下に述べる。本発明を適用可能な表面伝導型電子放出素子の複数個を基板上に配列し、例えば電子源あるいは、画像形成装置が構成できる。

## 【0057】

電子放出素子の配列については、種々のものが採用できる。一例として、並列に配置した多数の電子放出素子の個々を両端で接続し、電子放出素子の行を多数個配し（行方向と呼ぶ）、この配線と直交する方向（列方向と呼ぶ）で、該電子放出素子の上方に配した制御電極（グリッドとも呼ぶ）により、電子放出素子からの電子を制御駆動するはしご状配置のものがある。これとは別に、電子放出素子をX方向及びY方向に行列状に複数個配し、同じ行に配された複数の電子放出素子の電極の一方を、X方向の配線に共通に接続し、同じ列に配された複数の電子放出素子の電極の他方を、Y方向の配線に共通に接続するものが挙げられる。このようなものは所謂単純マトリクス配置である。まず単純マトリクス配置について以下に詳述する。

## 【0058】

本発明を適用可能な表面伝導型電子放出素子については、前述したとおり (i) 乃至 (iii) の特性がある。即ち、表面伝導型電子放出素子からの放出電子は、しきい値電圧以上では、対向する素子電極間に印加するパルス状電圧の波高値と幅で制御できる。一方、しきい値電圧以下では、殆ど放出されない。この特性によれば、多数の電子放出素子を配置した場合においても、個々の素子に、パルス状電圧を適宜印加すれば、入力信号に応じて、表面伝導型電子放出素子を選択して電子放出量を制御できる。

## 【0059】

以下この原理に基づき、本発明を適用可能な電子放出素子を複数配して得られる電子源基板について、図6を用いて説明する。図6において、71は基板であり、上記の第一層と第二層が予め設けられている。72はX方向配線、73はY方向配線である。74は電子放出素子、75は結線である。

## 【0060】

m本のX方向配線72は、 $D \times 1$ 、 $D \times 2$ 、 $\dots$ 、 $D \times m$ からなり、真空蒸着法、印刷法、スパッタ法等を用いて形成された導電性金属等で構成することができる。配線の材料、膜厚、巾は、適宜設計される。Y方向配線73は、 $D_y 1$ 、 $D_y 2$ 、 $\dots$ 、 $D_y n$ のn本の配線よりなり、X方向配線72と同様に形成される。これらm本のX方向配線72とn本のY方向配線73との間には、不図示の層間絶縁層が設けられており、両者を電氣的に分離している (m、nは、共に正の整数)。

## 【0061】

不図示の層間絶縁層は、真空蒸着法、印刷法、スパッタ法等を用いて形成された $SiO_2$ 等で構成される。例えば、X方向配線72を形成した電子源基板71の全面或は一部に所望の形状で形成され、特に、X方向配線72とY方向配線73の交差部の電位差に耐え得るように、膜厚、材料、製法が、適宜設定される。X方向配線72とY方向配線73は、それぞれ外部端子として引き出されている。

## 【0062】

電子放出素子 74 を構成する一対の電極（不図示）は、m本のX方向配線 72 と n本のY方向配線 73 と導電性金属等からなる結線 75 によって電氣的に接続されている。

#### 【0063】

配線 72 と配線 73 を構成する材料、結線 75 を構成する材料及び一対の素子電極を構成する材料は、その構成元素の一部あるいは全部が同一であっても、またそれぞれ異なってもよい。これら材料は、例えば前述の素子電極の材料より適宜選択される。素子電極を構成する材料と配線材料が同一である場合には、素子電極に接続した配線は素子電極ということもできる。

#### 【0064】

X方向配線 72 には、X方向に配列した表面伝導型放出素子 74 の行を、選択するための走査信号を印加する不図示の走査信号印加手段が接続される。一方、Y方向配線 73 には、Y方向に配列した表面伝導型放出素子 74 の各列を入力信号に応じて、変調するための不図示の変調信号発生手段が接続される。各電子放出素子に印加される駆動電圧は、当該素子に印加される走査信号と変調信号の差電圧として供給される。

#### 【0065】

上記構成においては、単純なマトリクス配線を用いて、個別の素子を選択し、独立に駆動可能とすることができる。

#### 【0066】

このような単純マトリクス配置の電子源を用いて構成した画像形成装置について、図7と図8及び図9を用いて説明する。図7は、画像形成装置の表示パネルの一例を示す模式図であり、図8は、図7の画像形成装置に使用される蛍光膜の模式図である。図9は、NTSC方式のテレビ信号に応じて表示を行なうための駆動回路の一例を示すブロック図である。

#### 【0067】

図7において、71は電子放出素子を複数配した電子源基板、81は電子源基板71を固定したリアプレート、86はガラス基板83の内面に蛍光膜84とメタルバック85等が形成されたフェースプレートである。82は、支持枠であり

該支持枠 82 には、リアプレート 81、フェースプレート 86 が低融点のフリットガラスなどを用いて、接合される。

## 【0068】

74 は、図 1 における電子放出部に相当する。72, 73 は、電子放出素子の一对の素子電極と接続された X 方向配線及び Y 方向配線である。

## 【0069】

外囲器 88 は、上述の如く、フェースプレート 86、支持枠 82、リアプレート 81 で構成される。リアプレート 81 は主に基板 71 の強度を補強する目的で設けられるため、基板 71 自体で十分な強度を持つ場合は別体のリアプレート 81 は不要とすることができる。即ち、基板 71 に直接支持枠 82 を封着し、フェースプレート 86、支持枠 82 及び基板 71 で外囲器 88 を構成しても良い。一方、フェースプレート 86、リアプレート 81 間に、スペーサーとよばれる不図示の支持体を設置することにより、大気圧に対して十分な強度をもつ外囲器 88 を構成することもできる。

## 【0070】

図 8 は、蛍光膜を示す模式図である。蛍光膜 84 は、モノクロームの場合は蛍光体のみから構成することができる。カラーの蛍光膜の場合は、蛍光体の配列によりブラックストライプあるいはブラックマトリクスなどと呼ばれる黒色導電材 91 と蛍光体 92 とから構成することができる。ブラックストライプ、ブラックマトリクスを設ける目的は、カラー表示の場合、必要となる三原色蛍光体の各蛍光体 92 間の塗り分け部を黒くすることで混色等を目立たなくすることと、蛍光膜 84 における外光反射によるコントラストの低下を抑制することにある。ブラックストライプの材料としては、通常用いられている黒鉛を主成分とする材料の他、導電性があり、光の透過及び反射が少ない材料を用いることができる。

## 【0071】

ガラス基板に蛍光体を塗布する方法は、モノクローム、カラーによらず、沈澱法、印刷法等が採用できる。蛍光膜 84 の内面側には、通常メタルバック 85 が設けられる。メタルバックを設ける目的は、蛍光体の発光のうち内面側への光をフェースプレート 86 側へ鏡面反射させることにより輝度を向上させること、電

子ビーム加速電圧を印加するための電極として作用させること、外囲器内で発生した負イオンの衝突によるダメージから蛍光体を保護すること等である。メタルバックは、蛍光膜作製後、蛍光膜の内面側表面の平滑化处理（通常、「フィルミング」と呼ばれる。）を行い、その後A1を真空蒸着等を用いて堆積させることで作製できる。

## 【0072】

フェースプレート86には、更に蛍光膜84の導電性を高めるため、蛍光膜84の外面側に透明電極（不図示）を設けてもよい。

## 【0073】

前述の封着を行う際には、カラーの場合は各色蛍光体と電子放出素子とを対応させる必要があり、十分な位置合わせが不可欠となる。

## 【0074】

図7に示した画像形成装置の製造方法の一例を以下に説明する。図12はこの工程に用いる装置の概要を示す模式図である。画像形成装置131は、排気管132を介して真空チャンバー133に連結され、さらにゲートバルブ134を介して排気装置135に接続されている。真空チャンバー133には、内部の圧力及び雰囲気中の各成分の分圧を測定するために、圧力計136、四重極質量分析器137等が取り付けられている。画像表示装置131の外囲器88内部の圧力などを直接測定することは困難であるため、該真空チャンバー133内の圧力などを測定し、処理条件を制御する。真空チャンバー133には、さらに必要なガスを真空チャンバー内に導入して雰囲気を制御するため、ガス導入ライン138が接続されている。該ガス導入ライン138の他端には導入物質源140が接続されており、導入物質がアンプルやボンベなどに入れて貯蔵されている。ガス導入ラインの途中には、導入物質を導入するレートを制御するための導入制御手段139が設けられている。該導入量制御手段としては具体的には、スローリークバルブなど逃す流量を制御可能なバルブや、マスフローコントローラーなどが、導入物質の種類に応じて、それぞれ使用が可能である。

## 【0075】

図12の装置により外囲器88の内部を排気し、フォーミングを行う。この際

、例えば図 13 に示すように、Y 方向配線 73 を共通電極 141 に接続し、X 方向配線 72 の内の一つに接続された素子に電源 142 によって、同時に電圧パルスを加えて、フォーミングを行うことができる。パルスの形状や、処理の終了の判定などの条件は、個別素子のフォーミングについての既述の方法に準じて選択すればよい。また、複数の X 方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の X 方向配線に接続された素子をまとめてフォーミングする事も可能である。図中 143 は電流測定用抵抗を、144 は、電流測定用のオシロスコープを示す。

#### 【0076】

フォーミング終了後、活性化工程を行う。外囲器 88 内は、十分に排気した後有機物質がガス導入ライン 138 から導入される。あるいは、個別素子の活性化方法として記述のように、まず油拡散ポンプやロータリーポンプで排気し、これによって真空雰囲気中に残留する有機物質を用いても良い。また、必要に応じて有機物質以外の物質も導入される場合がある。この様にして形成した、有機物質を含む雰囲気中で、各電子放出素子に電圧を加えることにより、炭素あるいは炭素化合物、ないし両者の混合物が電子放出部に堆積し、電子放出量がドラスティックに上昇するのは、個別素子の場合と同様である。このときの電圧の印加方法は、上記フォーミングの場合と同様の結線により、一つの方向配線につながった素子に、同時の電圧パルスを印加すればよい。また、複数の X 方向配線に、位相をずらせたパルスを順次印加（スクロール）することにより、複数の X 方向配線に接続された素子をまとめて活性化することも可能であり、その場合には、各 X 方向配線に対して、素子電流を制御するように活性化処理を行う事により、X 方向配線間の素子電流を揃える事が可能となる。活性化工程終了後は、個別素子の場合と同様に、安定化工程を行うことが好ましい。外囲器 88 を加熱して、80～250℃に保持しながら、イオンポンプ、ソーブションポンプなどのオイルを使用しない排気装置 135 により排気管 132 を通じて排気し、有機物質の十分少ない雰囲気にした後、排気管をバーナーで熱して溶解させて封じきる。外囲器 88 の封止後の圧力を維持するために、ゲッター処理を行なうこともできる。これは、外囲器 88 の封止を行う直前あるいは封止後に、抵抗加熱あるいは高周波

加熱等を用いた加熱により、外囲器 88 内の所定の位置（不図示）に配置されたゲッターを加熱し、蒸着膜を形成する処理である。ゲッターは通常は Ba 等が主成分であり、該蒸着膜の吸着作用により、外囲器 88 内の雰囲気を維持するものである。

## 【0077】

次に、単純マトリクス配置の電子源を用いて構成した表示パネルに、NTSC 方式のテレビ信号に基づいたテレビジョン表示を行う為の駆動回路の構成例について、図 9 を用いて説明する。図 9 において、101 は画像表示パネル、102 は走査回路、103 は制御回路、104 はシフトレジスタである。105 はラインメモリ、106 は同期信号分離回路、107 は変調信号発生器、 $V_x$  および  $V_a$  は直流電圧源である。

## 【0078】

表示パネル 101 は、端子  $D_{ox1}$  乃至  $D_{oxm}$ 、端子  $D_{oy1}$  乃至  $D_{dyn}$ 、及び高圧端子  $H_v$  を介して外部の電気回路と接続している。端子  $D_{ox1}$  乃至  $D_{oxm}$  には、表示パネル内に設けられている電子源、即ち、M 行 N 列の行列状にマトリクス配線された電子放出素子群を一行（N 素子）ずつ順次駆動する為の走査信号が印加される。

## 【0079】

端子  $D_{y1}$  乃至  $D_{yn}$  には、前記走査信号により選択された一行の電子放出素子の各素子の出力電子ビームを制御する為の変調信号が印加される。高圧端子  $H_v$  には、直流電圧源  $V_a$  より、例えば 10 kV の直流電圧が供給されるが、これは電子放出素子から放出される電子ビームに蛍光体を励起するのに十分なエネルギーを付与する為の加速電圧である。

## 【0080】

走査回路 102 について説明する。同回路は、内部に M 個のスイッチング素子を備えたもので（図中、 $S_1$  乃至  $S_m$  で模式的に示している）ある。各スイッチング素子は、直流電圧源  $V_x$  の出力電圧もしくは 0 V（グラウンドレベル）のいずれか一方を選択し、表示パネル 101 の端子  $D_{x1}$  乃至  $D_{xm}$  と電氣的に接続される。 $S_1$  乃至  $S_m$  の各スイッチング素子は、制御回路 103 が出力する制御信

号  $T_{scan}$  に基づいて動作するものであり、例えば FET のようなスイッチング素子を組み合わせることにより構成することができる。

【0081】

直流電圧源  $V_x$  は、本例の場合には電子放出素子の特性（電子放出しきい値電圧）に基づき走査されていない素子に印加される駆動電圧が電子放出しきい値電圧以下となるような一定電圧を出力するよう設定されている。

【0082】

制御回路 103 は、外部より入力する画像信号に基づいて適切な表示が行なわれるように各部の動作を整合させる機能を有する。制御回路 103 は、同期信号分離回路 106 より送られる同期信号  $T_{sync}$  に基づいて、各部に対して  $T_{scan}$  および  $T_{sft}$  および  $T_{mry}$  の各制御信号を発生する。

【0083】

同期信号分離回路 106 は、外部から入力される NTSC 方式のテレビ信号から同期信号成分と輝度信号成分とを分離する為の回路である。同期信号分離回路 106 により分離された同期信号は、垂直同期信号と水平同期信号より成るが、ここでは説明の便宜上  $T_{sync}$  信号として図示した。前記テレビ信号から分離された画像の輝度信号成分は便宜上 DATA 信号と表した。該 DATA 信号はシフトレジスタ 104 に入力される。

【0084】

シフトレジスタ 104 は、時系列的にシリアルに入力される前記 DATA 信号を、画像の 1 ライン毎にシリアル／パラレル変換するためのもので、前記制御回路 103 より送られる制御信号  $T_{sft}$  に基づいて動作する（即ち、制御信号  $T_{sft}$  は、シフトレジスタ 104 のシフトクロックであるということもできる）。シリアル／パラレル変換された画像 1 ライン分（電子放出素子 N 素子分の駆動データに相当）のデータは、 $I_{d1}$  乃至  $I_{dn}$  の N 個の並列信号として前記シフトレジスタ 104 より出力される。

【0085】

ラインメモリ 105 は、画像 1 ライン分のデータを必要時間の間だけ記憶する為の記憶装置であり、制御回路 103 より送られる制御信号  $T_{mry}$  に従って適

宜  $I_{d1}$  乃至  $I_{dn}$  の内容を記憶する。記憶された内容は、 $I'_{d1}$  乃至  $I'_{dn}$  として出力され、変調信号発生器 107 に入力される。

【0086】

変調信号発生器 107 は、画像データ  $I'_{d1}$  乃至  $I'_{dn}$  の各々に応じて表面伝導型電子放出素子の各々を適切に駆動変調する為の信号源であり、その出力信号は、端子  $D_{oy1}$  乃至  $D_{oy n}$  を通じて表示パネル 101 内の表面伝導型電子放出素子に印加される。

【0087】

前述したように、本発明を適用可能な電子放出素子は放出電流  $I_e$  に対して以下の基本特性を有している。即ち、電子放出には明確なしきい値電圧  $V_{th}$  があり、 $V_{th}$  以上の電圧を印加された時のみ電子放出が生じる。電子放出しきい値以上の電圧に対しては、素子への印加電圧の変化に応じて放出電流も変化する。このことから、本素子にパルス状の電圧を印加する場合、例えば電子放出閾値以下の電圧を印加しても電子放出は生じないが、電子放出閾値以上の電圧を印加する場合には電子ビームが出力される。その際、パルスの波高値  $V_m$  を変化させる事により出力電子ビームの強度を制御することが可能である。また、パルスの幅  $P_w$  を変化させることにより出力される電子ビームの電荷の総量を制御する事が可能である。従って、入力信号に応じて、電子放出素子を変調する方式としては、電圧変調方式、パルス幅変調方式等が採用できる。電圧変調方式を実施するに際しては、変調信号発生器 107 として、一定長さの電圧パルスを発生し、入力されるデータに応じて適宜パルスの波高値を変調するような電圧変調方式の回路を用いることができる。

【0088】

パルス幅変調方式を実施するに際しては、変調信号発生器 107 として、一定の波高値の電圧パルスを発生し、入力されるデータに応じて適宜電圧パルスの幅を変調するようなパルス幅変調方式の回路を用いることができる。

【0089】

シフトレジスタ 104 やラインメモリ 105 は、デジタル信号式のものをモアナログ信号式のものを採用できる。画像信号のシリアル／パラレル変換や記憶

が所定の速度で行なわれれば良いからである。

【0090】

デジタル信号式を用いる場合には、同期信号分離回路106の出力信号DATAをデジタル信号化する必要があるが、これには106の出力部にA/D変換器を設ければ良い。これに関連してラインメモリ105の出力信号がデジタル信号かアナログ信号かにより、変調信号発生器107に用いられる回路が若干異なったものとなる。即ち、デジタル信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばD/A変換回路を用い、必要に応じて増幅回路などを付加する。パルス幅変調方式の場合、変調信号発生器107には、例えば高速の発振器および発振器の出力する波数を計数する計数器（カウンタ）及び計数器の出力値と前記メモリの出力値を比較する比較器（コンパレータ）を組み合わせた回路を用いる。必要に応じて、比較器の出力するパルス幅変調された変調信号を表面伝導型電子放出素子の駆動電圧にまで電圧増幅するための増幅器を付加することもできる。

【0091】

アナログ信号を用いた電圧変調方式の場合、変調信号発生器107には、例えばオペアンプなどを用いた増幅回路を採用でき、必要に応じてレベルシフト回路などを付加することもできる。パルス幅変調方式の場合には、例えば、電圧制御型発振回路（VOC）を採用でき、必要に応じて表面伝導型電子放出素子の駆動電圧まで電圧増幅するための増幅器を付加することもできる。

【0092】

このような構成をとり得る本発明を適用可能な画像表示装置においては、各電子放出素子に、容器外端子 $D \circ x 1$ 乃至 $D \circ x m$ 、 $D \circ y 1$ 乃至 $D \circ y n$ を介して電圧を印加することにより、電子放出が生ずる。高圧端子 $H v$ を介してメタルバック85、あるいは透明電極（不図示）に高圧を印加し、電子ビームを加速する。加速された電子は、蛍光膜84に衝突し、発光が生じて画像が形成される。

【0093】

次に、はしご型配置の電子源及び画像形成装置について図10及び図11を用いて説明する。

## 【0094】

図10は、はしご型配置の電子源の一例を示す模式図である。図10において、110は前記第一層と第二層が予め形成された基板、111は電子放出素子である。112、Dx1乃至Dx10は、電子放出素子111を接続するための共通配線である。電子放出素子111は、基板110上に、X方向に並列に複数個配されている（これを素子行と呼ぶ）。この素子行が複数個配されて、電子源を構成している。各素子行の共通配線間に駆動電圧を印加することで、各素子行を独立に駆動させることができる。即ち、電子ビームを放出させたい素子行には、電子放出しきい値以上の電圧を、電子ビームを放出しない素子行には、電子放出しきい値以下の電圧を印加する。各素子行間の共通配線Dx2乃至Dx9は、例えばDx2、Dx3を同一配線とすることもできる。

## 【0095】

図11は、はしご型配置の電子源を備えた画像形成装置におけるパネル構造の一例を示す模式図である。120はグリッド電極、121は電子が通過するため空孔、122はDox1、Dox2、…、Doxmよりなる容器外端子である。123は、グリッド電極120と接続されたG1、G2、…、Gnからなる容器外端子、124は各素子行間の共通配線を同一配線とした電子源基板である。図11においては、図7、図10に示した部位と同じ部位には、これらの図に付したのと同じ符号を付している。ここに示した画像形成装置と、図7に示した単純マトリクス配置の画像形成装置との大きな違いは、電子源基板110とフェースプレート86の間にグリッド電極120を備えているか否かである。

## 【0096】

図11においては、基板110とフェースプレート86の間には、グリッド電極120が設けられている。グリッド電極120は、電子放出素子から放出された電子ビームを変調するためのものであり、はしご型配置の素子行と直交して設けられたストライプ状の電極に電子ビームを通過させるため、各素子に対応して1個ずつ円形の開口121が設けられている。グリッドの形状や設置位置は図11に示したものに限定されるものではない。例えば、開口としてメッシュ状に多数の通過口を設けることもでき、グリッドを電子放出素子の周囲や近傍に設ける

こともできる。

【0097】

容器外端子122およびグリッド容器外端子123は、不図示の制御回路と電氣的に接続されている。

【0098】

ここで述べた2種類の画像形成装置の構成は、本発明を適用可能な画像形成装置の一例であり、本発明の技術思想に基づいて種々の変形が可能である。入力信号については、NTSC方式を挙げたが入力信号はこれに限られるものではなく、PAL、SECAM方式など他、これよりも、多数の走査線からなるTV信号（例えば、高品位TV）方式をも採用できる。

【0099】

本例の画像形成装置では、素子行を1列ずつ順次駆動（走査）していくのと同期してグリッド電極列に画像1ライン分の変調信号を同時に印加する。これにより、各電子ビームの蛍光体への照射を制御し、画像を1ラインずつ表示することができる。本発明の画像形成装置は、テレビジョン放送の表示装置、テレビ会議システムやコンピューター等の表示装置の他、感光性ドラム等を用いて構成された光プリンターとしての画像形成装置等としても用いることができる。

【0100】

【実施例】

以下、具体的な実施例を挙げて本発明を詳しく説明するが、本発明はこれら実施例に限定されるものではなく、本発明の目的が達成される範囲内での各要素の置換や設計変更がなされたものをも包含する。

【0101】

（実施例1、比較例1、2）

本発明第一の実施例として、図1に示す電子放出素子を、図2の製造工程に従って作成した。尚、実施例、比較例とも、6素子ずつ作成して、電子放出特性の再現性についても検討した。

【0102】

1) 青板ガラス ( $\text{SiO}_2$  : 74%,  $\text{Na}_2\text{O}$  : 12%,  $\text{CaO}$  : 9%,  $\text{K}_2$

O : 3 % , MgO : 2 % ) を良く洗浄し、CVD法により第一の層6を形成した。この第一の層6の材料はPSG (Phosphosilicate Glass, リンケイ酸ガラス (リンドープシリカガラス)) であり、常圧CVD法により、Pの濃度が7重量%となるように形成した。尚、使用したソースはTEOS (テトラエトキシシリカ,  $\text{Si}(\text{OC}_2\text{H}_5)_4$ ) とTMOP (トリメトキシリン酸,  $\text{PO}(\text{OCH}_3)_3$ ) である。また、この時の第一の層6の厚さは約  $3\ \mu\text{m}$  である。続いてスパッタリング法により、 $\text{SiO}_2$  を主成分とし、 $\text{SnO}_2$  を含む第二の層7を形成した (図2 (a))。この時の第二の層の厚さは約  $100\ \text{nm}$  である。尚、比較例1として、第一の層6と第二の層7を共に形成しない青板ガラス基板と、比較例2として、第一の層6のみを形成した基板を用意した。

#### 【0103】

2) 次に、上述の基板上にフォトレジスト層を形成し、フォトリソグラフィ技術により、フォトレジスト層に素子電極の形状に対応する開口部を形成した。この上に、真空蒸着法により、Ti  $5\ \text{nm}$ , Pt  $100\ \text{nm}$  を成膜し、有機溶剤で上記フォトレジスト層を溶融除去し、リフトオフにより、素子電極2, 3を形成した (図2 (b))。この時、素子電極間隔Lは  $20\ \mu\text{m}$ 、電極長さは  $600\ \mu\text{m}$  とした。この後、基板表面のシート抵抗値を測定したところ、実施例1ではおおよそ  $2 \times 10^9\ \Omega/\square$  であった。比較例2は、 $10^{10}\ \Omega/\square$  を超えるものであった。

#### 【0104】

3) 次に、導電性膜を形成する。まず、導電性膜のパターニングのためのマスクを形成するため、真空蒸着法により、膜厚  $50\ \text{nm}$  のCr膜を堆積し、フォトリソグラフィ技術により、導電性膜4の形状に対応する開口を形成、これに酢酸Pdモノエタノールアミン錯体の溶液をスピナーにより回転塗布、乾燥させた後、大気中で  $350^\circ\text{C}$  で10分間の加熱焼成処理を行い、PdOを主成分とする微粒子から成る導電性膜を形成、この後ウェットエッチングによりCrを除去して、リフトオフにより所望の形状の導電性薄膜4を得た (図2 (c))。

#### 【0105】

この後、素子を図4に模式的に示すように、真空処理装置に設置した。

## 【0106】

4) 真空チャンバー内の圧力を  $1.3 \times 10^{-4}$  Pa 程度とした後、電源 51 により素子電極 2, 3 間にパルス電圧を繰り返し印加するフォーミング処理を行った。尚、フォーミング処理には図 3 (b) に示す、波高値の漸増するパルスを用い、 $T_1 = 1 \text{ msec}$ ,  $T_2 = 10 \text{ msec}$  とした。尚、上記のパルス間にパルス幅  $1 \text{ ms}$ , 波高値  $0.1 \text{ V}$  の矩形波パルスを挿入し、これにより流れる電流を測定する事により、素子電極間の抵抗値を検知した。検知される抵抗値が  $1 \text{ M}\Omega$  を超えた時点で、パルス電圧の印加を終了した。この処理により、導電性薄膜 4 に電子放出部 5 が形成された (図 2 (d))。

## 【0107】

5) 続いて活性化処理を施した。活性化工程は、真空容器 55 内にアセトンの蒸気を導入、圧力を  $2.7 \times 10^{-1}$  Pa とし、電源 51 により素子電極 2, 3 間に波高値  $18 \text{ V}$  の矩形波パルスを印加して行った。この処理により電流計 50 により検知される素子電流  $I_f$  の時間的な変化を測定したところ、実施例、比較例共に徐々に増加するもののその度合いには違いがあり、実施例 1 では約 10 分、比較例 1 では約 30 分、比較例 2 では約 10 分で飽和した。このことから、比較例 1 と比べて、実施例 1 は活性化の工程に所要する時間が短くてよい事がわかる。尚、比較例 2 は実施例 1 と同程度の時間で活性化工程を終了させる事が出来たが、これは第一の層 6 により、Na による活性化の阻害が抑制された事と、P が活性化促進の効果を持っているためであると推測される。

## 【0108】

6) 続いて、安定化工程を行った。真空容器 55 全体を不図示のヒーターにより約  $200^\circ\text{C}$  に加熱して排気し、10 時間後に圧力が  $8 \times 10^{-6}$  Pa となった。真空容器を加熱するヒーターの電源を切り、室温に戻した後、作成した電子放出素子の電子放出特性を測定した、素子電極 2, 3 間には、波高値  $18 \text{ V}$ 、パルス幅  $1 \text{ msec}$ 、パルス間隔  $10 \text{ msec}$  の矩形波パルスを印加、アノード電極 54 の電位は  $1 \text{ kV}$ 、電子放出素子とアノード電極の間隔は  $H = 4 \text{ mm}$  とした。実施例 1、比較例 1, 2 の各 6 素子に関して 10 分間駆動したところ、10 分後の素子電流  $I_f$  及び放出電流  $I_e$  の測定値は、以下の通りであった。

【0109】

【表1】

表1

	素子電流 $I_f$ (mA)	放出電流 $I_e$ ( $\mu A$ )
実施例1	2.7~3.1	4.7~5.0
比較例1	1.2~1.9	2.0~3.4
比較例2	2.6~3.1	4.5~4.9

更に、50時間の耐久評価を行った。この時の測定条件は、印加電圧が波高値17V、パルス幅1msec、パルス間隔10msecの矩形波パルスであり、アノード電極54の電位は2kV、電子放出素子とアノード電極の間隔は $H=4$ mmである。なお、素子電流 $I_f$ と放出電流 $I_e$ は、30秒ごとに測定した。評価項目は、素子電流 $I_f$ について、 $(\text{最大値}-\text{最小値})/\text{平均値} \times 100 (\%)$ で定義される素子電流化率と、放出電流 $I_e$ について $(\text{最大値}-\text{最小値})/\text{平均値} \times 100 (\%)$ で定義される放出電流変化率の2項目である。結果は以下の通りである。

【0110】

【表2】

表2

	素子電流変化率 (%)	放出電流変化率 (%)
実施例1	1.5~2.0	1.6~2.2
比較例1	25~33	28~35
比較例2	1.6~2.9	5.5~8.0

表1、表2、及び上述の活性化時の特性より、本発明の実施例1は、以下の特徴を満足するものである事が示された。

【0111】

1. 比較例1と比べて、活性化に要する時間を短縮可能である。

【0112】

2. 比較例1と比べて、素子電流 $I_f$ 、放出電流 $I_e$ が大きく、また、再現性もよい。

## 【0113】

3. 比較例 1 と比べて、素子電流変化率、放出電流変化率が小さく、安定性に優れている。

## 【0114】

4. 比較例 2 と比べて、放出電流変化率が小さく、安定性に優れている。

## 【0115】

(実施例 2 乃至 4)

次に、実施例 1 と同様に、図 1 に示す電子放出素子を、図 2 の製造工程に従って作成した。各実施例とも、6 素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例 2 乃至 4 は、第一の層 6 を常圧 CVD 法で形成する点は実施例 1 と同じであるが、第一の層 6 の材料が異なり、実施例 2 は  $\text{SiO}_2$  を主成分として B を含むいわゆる BSG であり、B の濃度が約 4 重量%である。また、実施例 3 は  $\text{SiO}_2$  を主成分として B と P の両方を含むいわゆる BPSG であり、B の濃度が約 2.5 重量%、P の濃度が約 7 重量%である。また、実施例 4 は  $\text{SiO}_2$  を主成分として Ge と P の両方を含むいわゆる GPSG であり、Ge の濃度が約 4 重量%、P の濃度が約 7.5 重量%である。尚、実施例 2 乃至 4 の第一の層 6 の厚さは全で約  $3 \mu\text{m}$  である。

## 【0116】

第二の層 7 は実施例 1 と同様にスパッタリング法により、 $\text{SiO}_2$  を主成分とし、 $\text{SnO}_2$  を含む約  $100 \text{ nm}$  の厚さの膜で構成されており、評価の手順は実施例 1 と同様である。

## 【0117】

実施例 1 と同様に、シート抵抗を測定したところ、実施例 2 乃至 4 の全てが  $1 \sim 3 \times 10^9 \Omega/\square$  であった。

## 【0118】

まず、活性化に要した時間であるが、実施例 2 乃至 4 の全てで約 10 分で素子電流  $I_f$  が飽和し、実施例 1 と酷似するものであった。

## 【0119】

次に、電子放出素子の電子放出特性を測定した。素子電極 2, 3 間には、波高

値 18 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスを印加、アノード電極 54 の電位は 1 kV、電子放出素子とアノード電極の間隔は  $H = 4$  mm とした。実施例 2 乃至 4 の各 6 素子に関して 10 分間駆動したところ、10 分後の素子電流  $I_f$  及び放出電流  $I_e$  の測定値は、以下の通りであった。

【0120】

【表 3】

表 3

	素子電流 $I_f$ (mA)	放出電流 $I_e$ ( $\mu$ A)
実施例 2	2.6~3.2	4.5~5.0
実施例 3	2.7~3.2	4.4~4.8
実施例 4	2.8~3.4	4.6~5.2

更に、50 時間の耐久評価を行った。この時の測定条件は、印加電圧が波高値 17 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスであり、アノード電極 54 の電位は 2 kV、電子放出素子とアノード電極の間隔は  $H = 4$  mm である。なお、素子電流  $I_f$  と放出電流  $I_e$  は、30 秒ごとに測定した。評価項目は、素子電流  $I_f$  について、 $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100 (\%)$  で定義される素子電流変化率と、放出電流  $I_e$  について  $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100 (\%)$  で定義される放出電流変化率の 2 項目である。結果は以下の通りである。

【0121】

【表 4】

表 4

	素子電流変化率 (%)	放出電流変化率 (%)
実施例 2	1.7~2.1	1.7~2.3
実施例 3	1.5~2.1	1.5~2.3
実施例 4	1.6~2.2	1.7~2.4

これらの結果からわかるように、実施例 1 と同様な、大変好ましい結果が得られた。

【0122】

## (実施例 5 乃至 8)

次に、実施例 1 と同様に、図 1 に示す電子放出素子を、図 2 の製造工程に従って作成した。各実施例とも、6 素子ずつ作成して、電子放出特性の再現性についても検討した。尚、実施例 5 乃至 8 は、第一の層 6 を常圧 CVD 法により P の濃度が約 7 重量%である厚さが約  $3\ \mu\text{m}$  の PSG を形成する点では同じであるが、第二の層の材料及び形成方法が異なる。

## 【0123】

実施例 5 は、第二の層の材料として、 $\text{SiO}_2$  を主体とし、In を含むものであり、厚さは約  $50\ \text{nm}$  で、CVD 法で形成した。In ソースとしては、 $\text{In}(\text{C}_2\text{H}_5)_3$  を使用した。

## 【0124】

実施例 6 は、第二の層の材料として、 $\text{SiO}_2$  を主体とし、Sn を含むものであり、厚さは約  $50\ \text{nm}$  で、CVD 法で形成した。Sn ソースとしては、 $(\text{CH}_3)_4\text{Sn}$  を使用した。

## 【0125】

実施例 7 は、第二の層の材料として、 $\text{SiO}_2$  を主体とし、Sb を含むものであり、厚さは約  $100\ \text{nm}$  で、スパッタリング法で形成した。

## 【0126】

実施例 8 は、第二の層の材料として、 $\text{SiO}_2$  を主体とし、Re を含むものであり、厚さは約  $100\ \text{nm}$  で、スパッタリング法で形成した。

## 【0127】

まず、素子電極を形成後、シート抵抗値の測定を行った。以下にその結果を示す。

## 【0128】

【表 5】

表 5

	シート抵抗値 ( $\Omega/\square$ )
実施例 5	$3 \times 10^{-9}$
実施例 6	$8 \times 10^{-8}$
実施例 7	$2 \times 10^{-9}$
実施例 8	$6 \times 10^{-8}$

表 5 から、実施例 5 乃至 8 の全てのシート抵抗値が  $10^8 \sim 10^{10} \Omega/\square$  であることがわかる。

【0129】

次に、活性化に要した時間であるが、実施例 5 乃至 8 の全てで約 10～15 分で素子電流  $I_f$  が飽和し、比較例 1 と比べて短いものであった。また、素子電流  $I_f$  は概ね実施例 1 と同様の時間変化を示すものであった。

【0130】

次に、電子放出素子の電子放出特性を測定した。素子電極 2, 3 間には、波高値 18 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルス进行加、アノード電極 54 の電位は 1 kV、電子放出素子とアノード電極の間隔は  $H = 4 \text{ mm}$  とした。実施例 5 乃至 8 の各 6 素子に関して 10 分間駆動したところ、10 分後の素子電流  $I_f$  及び放出電流  $I_e$  の測定値は、以下の通りであった。

【0131】

【表 6】

表 6

	素子電流 $I_f$ (mA)	放出電流 $I_e$ ( $\mu\text{A}$ )
実施例 5	2.5～3.3	4.4～5.0
実施例 6	2.6～3.4	4.7～5.2
実施例 7	2.7～3.3	4.5～5.1
実施例 8	2.6～3.1	4.3～4.9

更に、50 時間の耐久評価を行った。この時の測定条件は、印加電圧が波高値 17 V、パルス幅 1 msec、パルス間隔 10 msec の矩形波パルスであり、

アノード電極 54 の電位は 1 kV、電子放出素子とアノード電極の間隔は  $H = 4$  mm である。なお、素子電流  $I_f$  と放出電流  $I_e$  は、30 秒ごとに測定した。評価項目は、素子電流  $I_f$  について、 $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100 (\%)$  で定義される素子電流変化率と、放出電流  $I_e$  について  $(\text{最大値} - \text{最小値}) / \text{平均値} \times 100 (\%)$  で定義される放出電流変化率の 2 項目である。結果は以下の通りである。

【0132】

【表 7】

表 7

	素子電流変化率 (%)	放出電流変化率 (%)
実施例 5	1.9~2.2	2.0~2.5
実施例 6	1.5~2.0	1.7~2.4
実施例 7	1.7~2.1	2.3~2.8
実施例 8	1.7~2.2	2.1~2.6

これらの結果からわかるように、実施例 1 と同様な、大変好ましい結果が得られた。

【0133】

(実施例 9)

図 1 (a) 及び (b) に示すのと同様の構成の電子放出素子を、図 14 に模式的に示すように基体上に複数配置し、さらにマトリクス状配線を配置した電子源を、以下に示す手順により作成した。尚、図では、構造をわかりやすくするために部材の一部を消去してある。図 15 を参照しながら、製造方法を説明する。

【0134】

〔工程 1〕

実施例 1 と同様の組成の青板ガラスを洗剤と純水により洗浄した後、CVD 法により第一の層を形成した。この第一の層の材料は PSG であり、CVD 法により、P の濃度が 7 重量% となるように形成した。使用したソースガスは TEOS と TMOP である。また、第一の層の厚さは約 3  $\mu$ m になるように形成した。

【0135】

## 〔工程 2〕

工程 1 に連続して、P のソースである TMO P の供給を停止し、Sn ソースである  $(\text{CH}_3)_4\text{Sn}$  を追加導入し、第二の層を形成した。この時の第二の層の厚さは、約 50 nm である。この工程においては  $\text{SiO}_2$  と  $\text{SnO}_2$  の混合層が形成される。

【0136】

## 〔工程 3〕

続いて、スクリーン印刷法により、素子電極 171 の形状の MOD ペースト (DU-2110; ノリタケ (株) 製) のパターンを形成した。該 MOD ペーストは金属成分として、金を含むものである。

【0137】

印刷後、110℃で20分乾燥し、次いで熱処理装置によりピーク温度 580℃ピーク保持時間 8 分間の条件で上記 MOD ペーストを焼成し、厚さ 0.3 μm の素子電極 151 を形成した。素子電極間隔は 70 μm とした (図 15 (a))

【0138】

## 〔工程 4〕

次いで、金属成分として銀を含むペースト材料 (NP-4028A; ノリタケ (株) 製) を用い、スクリーン印刷法により下配線 172 のパターンを形成し、工程 3 と同様の条件で焼成して下配線を形成した (図 15 (b))。

【0139】

## 〔工程 5〕

次に、PbO を主成分とするペーストを用い、層間絶縁層 173 のパターンを印刷して工程 3 と同様の条件で焼成し、層間絶縁層 173 を形成した (図 15 (c))。該層間絶縁層は素子電極 171 の一方と、後の工程で形成する上配線とが接続されるよう、切り欠き部分を有している。

【0140】

## 〔工程 6〕

工程 4 と同様の方法で、上配線 174 を形成し (図 15 (d))、配線を形成

した。本工程を終了後、シート抵抗値の測定を行ったところ、場所によって若干異なるが  $(2 \sim 5) \times 10^9 \Omega/\square$  程度であった。

【0141】

〔工程7〕

次いで、導電性薄膜4を形成した。有機パラジウム含有溶液を、バブルジェット方式のインクジェット噴射装置を用いて、幅が  $200 \mu\text{m}$  となるように付与して行った。その後  $350^\circ\text{C}$  で10分間の加熱処理を行って、酸化パラジウム微粒子から成る微粒子膜を得た（図15（e））。

【0142】

〔工程8〕

図7のように、上記工程1乃至8で製造した電子源を形成した基板71とリアプレート81、フェースプレート86（ガラス基板83の内面に蛍光膜84、メタルバック85が形成されている）、支持枠82を組み合わせて接合した。尚、外囲器内に不図示であるが高周波加熱用ゲッタが配置されており、同じく不図示であるが外囲器内の雰囲気を制御するための排気管が外囲器内に取り付けられている。接合は、接合部にフリットガラスを塗布し、大気中で  $450^\circ\text{C}$  10分間の加熱処理を行う事により行った。

【0143】

本実施例で用いた蛍光膜84は、図8（a）に模式的に示すような、蛍光体91をストライプ形状に配置したもので、まず黒色部材91よりなるブラックストライプを形成し、その間に3原色に対応する蛍光体92を形成したものである。黒色部材の材質は通常良く用いられる黒鉛を主成分とするものであり、蛍光体の塗布はスラリー法を用いた。

【0144】

蛍光膜上にはメタルバック85を設ける。本実施例では、蛍光膜表面を平滑化处理（通常フィルミングと呼ばれる）した後、A1を真空蒸着する事により形成した。なお、導電性を向上させるため、蛍光膜84とガラス基板83の間に透明電極を設ける場合もあるが、本実施例では上記構成により充分導電性が得られたので、透明電極は設けていない。

## 【0145】

上記の接合を行う際、蛍光体と電子源の電子放出素子の位置を厳密に対応させる必要があるため、注意深く位置あわせを行った。

## 【0146】

## [工程9]

上記工程において、フェースプレート86、リアプレート81と支持枠82により構成された外囲器88の内部を排気管（不図示）を通じて排気装置（主ポンプとして油拡散ポンプを使用）により排気し、圧力を $1.3 \times 10^{-3}$  Pa以下にまで下げた後、電子源の配線を通じて素子電極間に実施例1乃至8と同様にパルス電圧を印加する事により電子放出部の形成を行った。この処理はX方向配線の一本に接続された素子の行毎に行い、1素子あたりの抵抗値が $1\text{ M}\Omega$ を超えたところで、その行の処理を終了し、次の行に移る。これを繰り返してすべての素子の処理を行った。

## 【0147】

## [工程10]

続いて、波高値20 Vパルス電圧を各素子行に順次印加する事を繰り返して、活性化処理を行った。排気装置に油拡散ポンプを用いている事により、外囲器内に有機物質が存在し、活性化処理が行われる。次いで、排気装置を主ポンプに磁気浮上型ターボポンプを用いたものに切り替えて、外囲器全体を加熱しながら排気する事により、安定化処理を行い、高周波加熱法によるゲッタ処理を行った後、排気管を加熱、融着して封じ切った。

## 【0148】

上記工程を終了後、各素子行に波高値20 Vパルス電圧を1分間ずつ印加し、各素子行の電子放出特性を測定した。なお、支持枠高さ3 mmで、アノード電圧は1 kVである。その結果、各素子行の電子放出量は4 %程度のばらつきで非常に均一なものであった。

## 【0149】

続いて、全面を白色表示させ、輝度分布を観察したところ、輝度均一性に優れるものである事が確認された。また、輝度分布の時間的な変動を観察したところ

、X方向配線に平行な輝度分布の変動は6%程度に収まっており、きわめて良好な結果が得られた。これは表面のシート抵抗値が制御されているために、電子ビームの変動を効果的に抑制しているためであると思われる。

## 【0150】

この状態で10時間点燈表示させて、定期的に定点で輝度を測定したところ、おおむね5%程度の変化しか生じておらず、きわめて安定した特性を維持する事が出来た。

## 【0151】

## (実施例10)

本実施例は、実施例9における工程2において、下記の工程2'に変更した以外は構成、製法とも実施例9と同様の手順で製造した。

## 【0152】

## [工程2']

工程1に連続して、InソースであるIn(C<sub>2</sub>H<sub>5</sub>)<sub>3</sub>を追加導入し、第二の層を形成した。この時の第二の層の厚さは、約50nmである。この工程においてはPSGとIn<sub>2</sub>O<sub>3</sub>の混合層が形成される。

## 【0153】

実施例9と同様にシート抵抗値を測定したところ、 $8 \times 10^8 \sim 2 \times 10^9 \Omega$  / □程度であった。次に、実施例9と同様の評価を行ったところ、概ね実施例9と同様の特性を示し、大変好ましい結果が得られた。

## 【0154】

## 【発明の効果】

以上説明したように、本発明により次のような効果が得られる。

## 【0155】

1. 青板ガラス中に含まれるアルカリ金属元素、特にNaが、導電性膜中に拡散し、その特性が変化するのを抑制する事が出来る。とりわけ、活性化工程により、十分な量の電子放出量を獲得するのに要する時間を短縮する事が可能である。

## 【0156】

2. 電子源を、長時間にわたり電子放出をさせて駆動する場合においては、電子放出量の時間的な変動を効果的に抑制可能である。

【0157】

3. 更に、チャージアップによる電子放出量の時間的な変動を効果的に抑制可能である。

【0158】

4. 製造方法に関して、上記の効果を得るための第一の層と第二の層を連続して形成可能である。安価な青坂ガラスを基体としている事と合わせて、コスト的に有利である。

【図面の簡単な説明】

【図1】

本発明に関する電子放出素子の構成を示す模式図であり、(a)は平面図、(b)は断面図

【図2】

本発明に関する電子放出素子の製造手順を説明するのための模式図

【図3】

本発明に関する電子放出素子の製造に用いるパルス電圧波形の模式図

【図4】

測定評価機能を備えた真空処理装置の一例を示す模式図

【図5】

本発明に関する電子放出素子の放出電流  $I_e$ 、電子電流  $I_f$  と素子電圧  $V_f$  の関係を示す模式図

【図6】

本発明の電子源の構成を示す模式図

【図7】

本発明の画像形成装置の構成を示す模式図

【図8】

本発明の画像形成装置に用いる蛍光膜の構成を示す模式図

【図9】

駆動回路の一例を示すブロック図

【図 10】

本発明の電子源の別の構成を示す模式図

【図 11】

本発明の画像形成装置の別の構成を示す模式図

【図 12】

画像形成装置の製造に用いる装置の概要を示す模式図

【図 13】

本発明の画像形成装置の、フォーミング、活性化工程のための結線方法を示す  
模式図

【図 14】

本発明の電子源の更に別の構成を示す模式図

【図 15】

図 14 の構成の電子源の製造手段を説明するための模式図

【図 16】

従来の表面伝導型電子放出素子の構成を示す模式図であり、(a) は平面図、  
(b) は断面図

【符号の説明】

1 基体 (の本体)

2, 3 素子電極

4 導電性薄膜

5 電子放出部

6 第一の層

7 第二の層

50 素子電極 2・3 間の導電性薄膜 4 を流れる素子電流  $I_f$  を測定するための  
電流計

51 電子放出素子に素子電圧  $V_f$  を印加するための電源

52 放出電流  $I_e$  を測定するための電流計

53 アノード電極 54 に電圧を印加するための高圧電源



54 素子の電子放出部より放出される放出電流  $I_e$  を捕捉するためのアノード電極

55 真空装置

56 排気装置

71 基板

72 X方向配線

73 Y方向配線

74 電子放出素子

75 結線

81 リアプレート

82 支持枠

83 (フェースプレートの) ガラス基板

84 蛍光膜

85 メタルバック

86 フェースプレート

88 外圍器

91 黒色導電材

92 蛍光体

101 画像形成装置

102 走査回路

103 制御回路

104 シフトレジスタ

105 ラインメモリ

106 同期信号分離回路

107 変調信号発生回路

110 基板

111 電子放出素子

112 共通配線

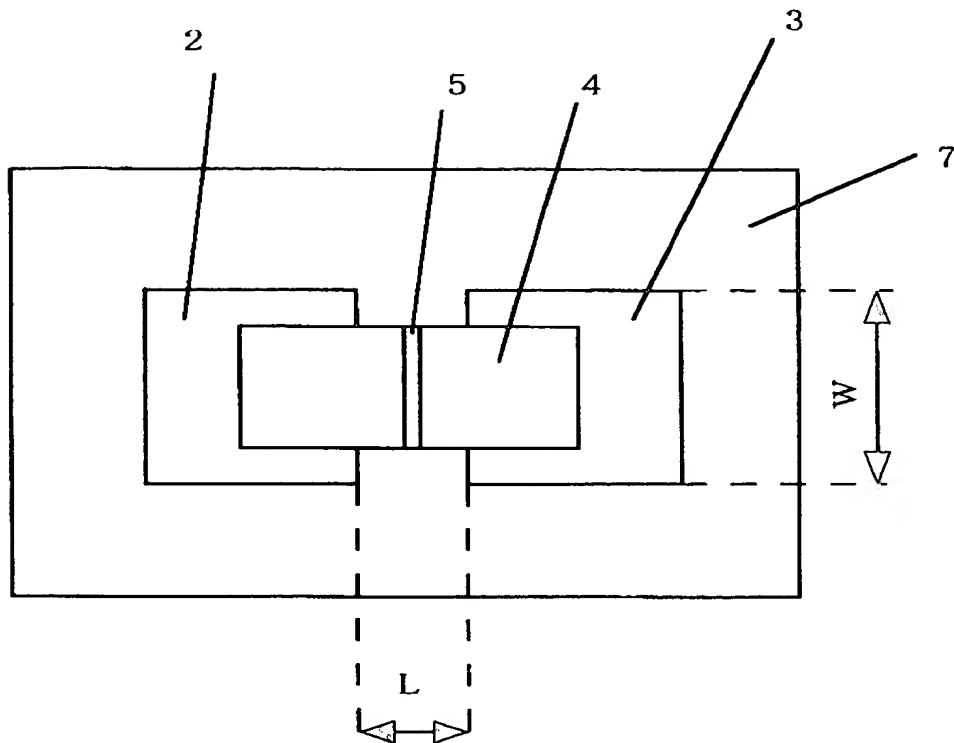
120 グリッド電極



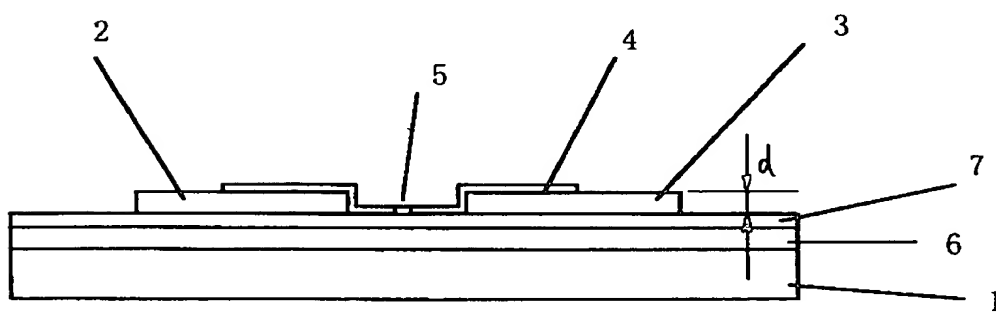
- 1 2 1 電子が通過するため空孔
- 1 2 2 共通配線と接続された容器外端子
- 1 2 3 グリッド電極と接続された容器外端子
- 1 3 1 画像表示装置
- 1 3 2 排気管
- 1 3 3 真空チャンバー
- 1 3 4 ゲートバルブ
- 1 3 5 排気装置
- 1 3 6 圧力計
- 1 3 7 四重極質量分析器
- 1 3 8 ガス導入ランイ
- 1 3 9 導入量制御手段
- 1 4 0 導入物質源
- 1 4 1 共通電極
- 1 4 2 電源
- 1 4 3 電流測定用抵抗
- 1 4 4 オシロスコープ
- 1 7 1 素子電極
- 1 7 2 下配線
- 1 7 3 層間絶縁層
- 1 7 4 上配線

【書類名】 図面

【図1】



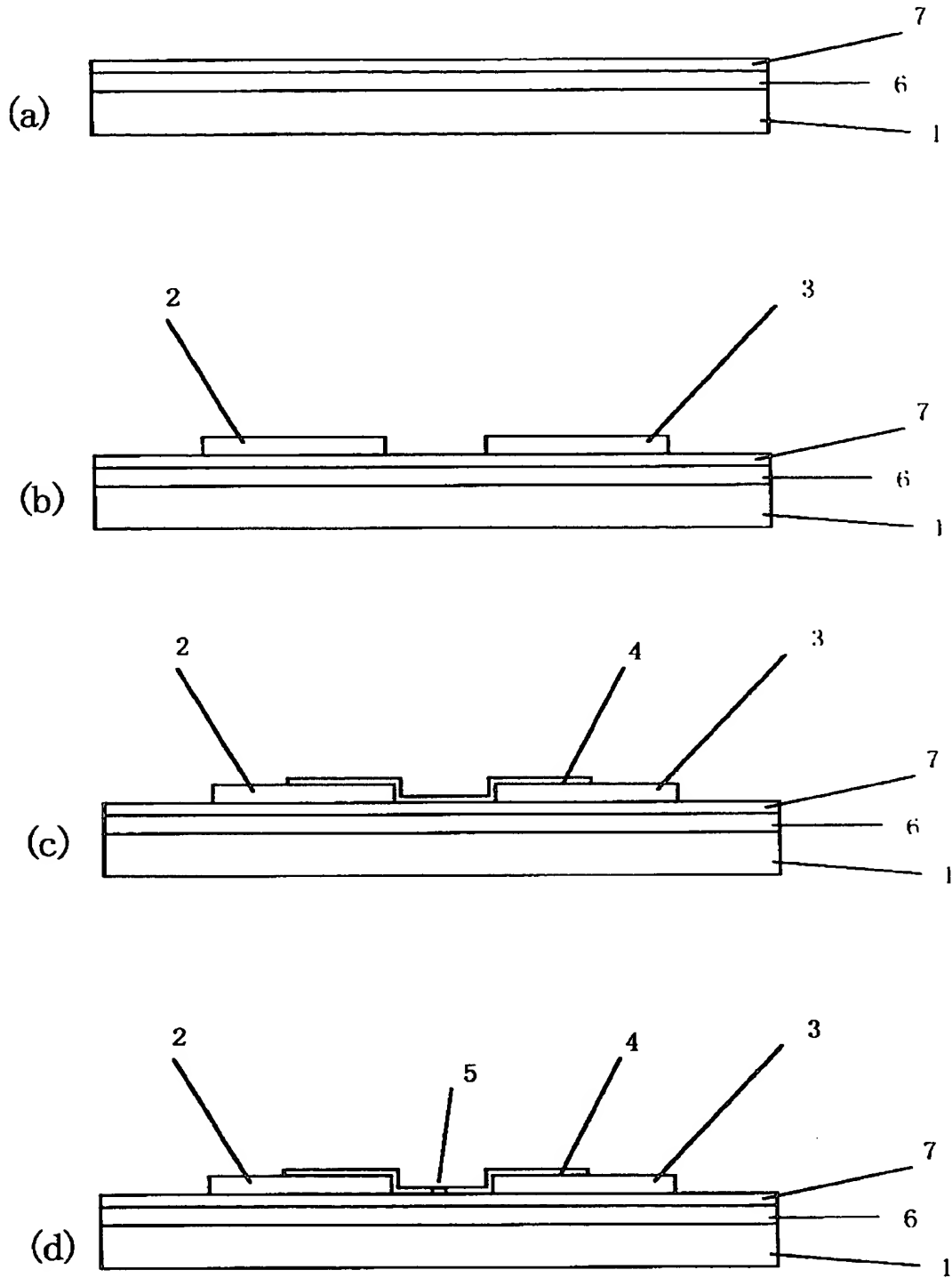
A



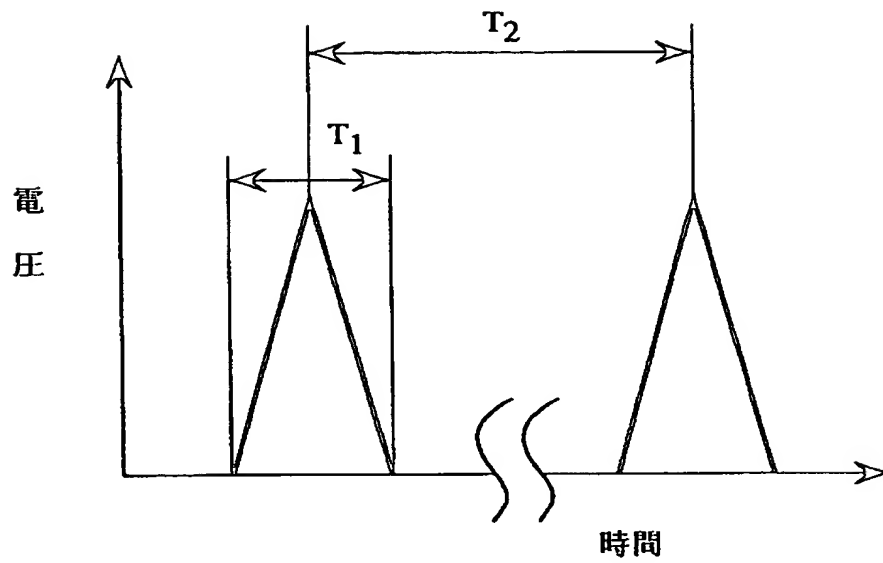
B



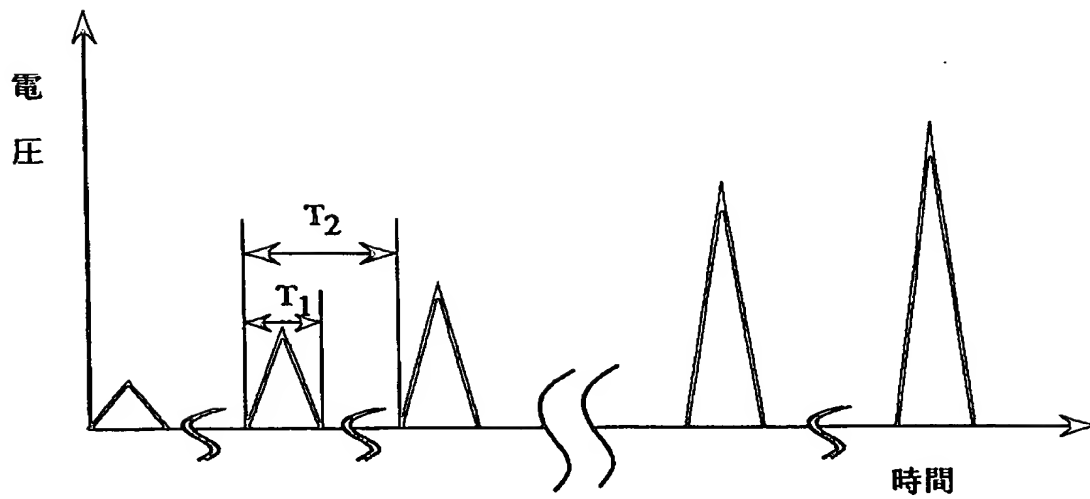
【図 2】



【図 3】

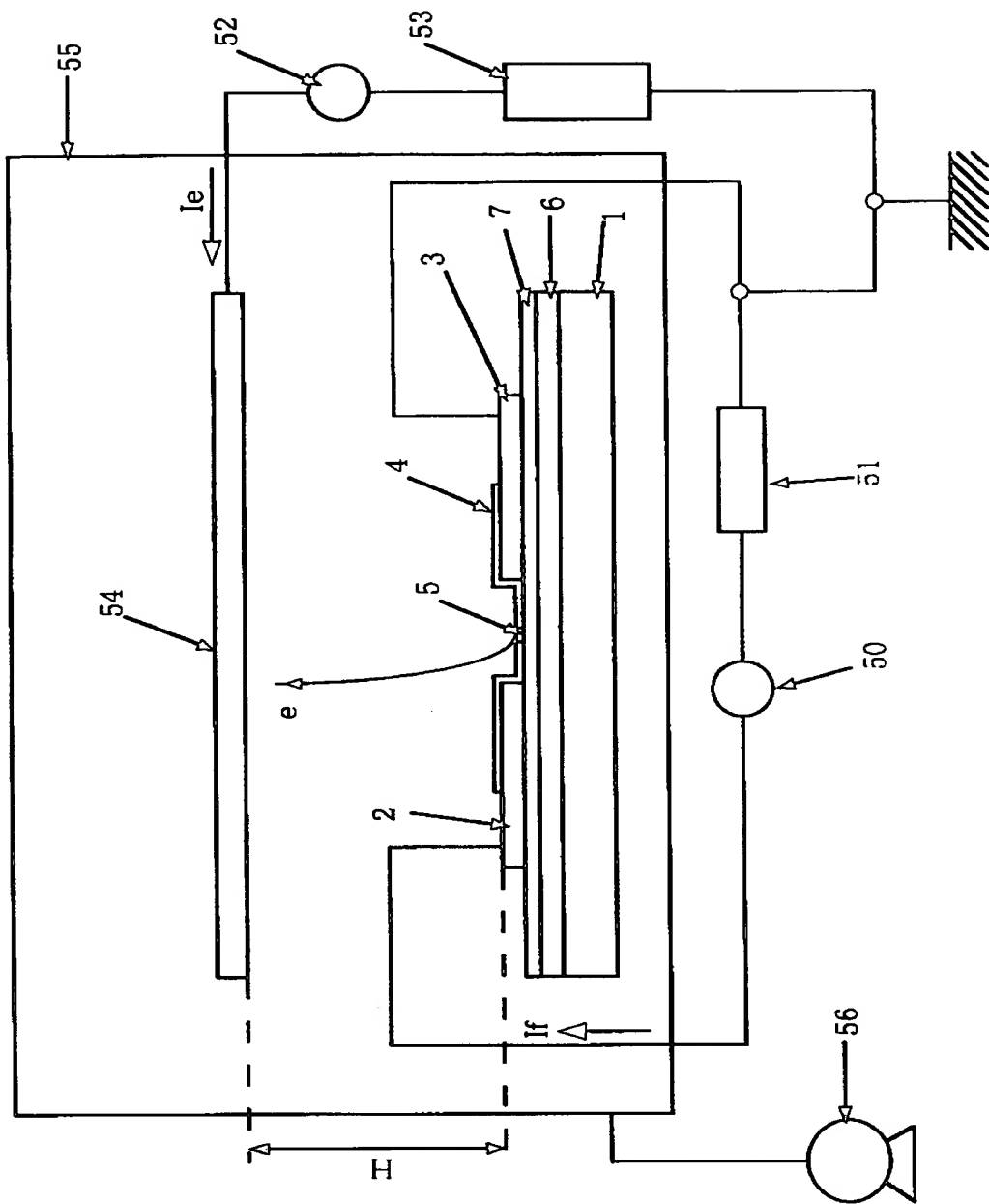


(a)

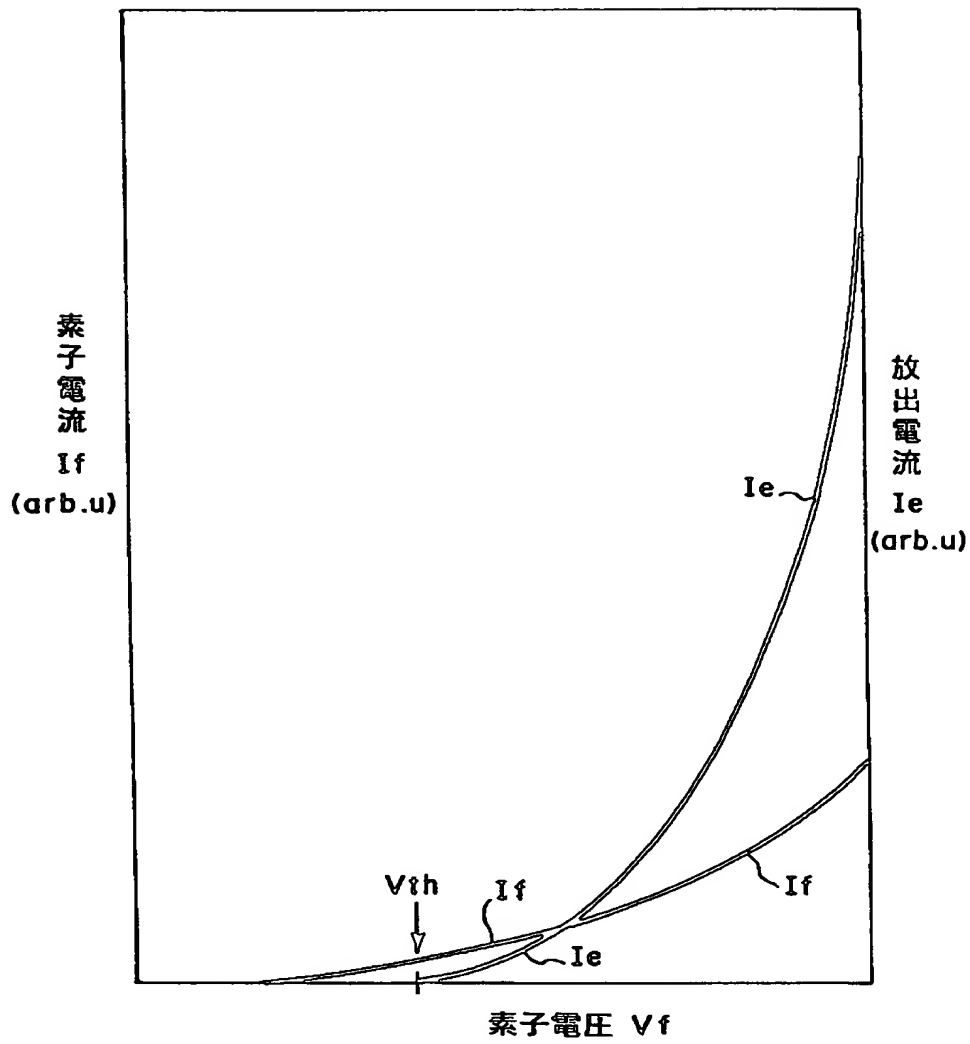


(b)

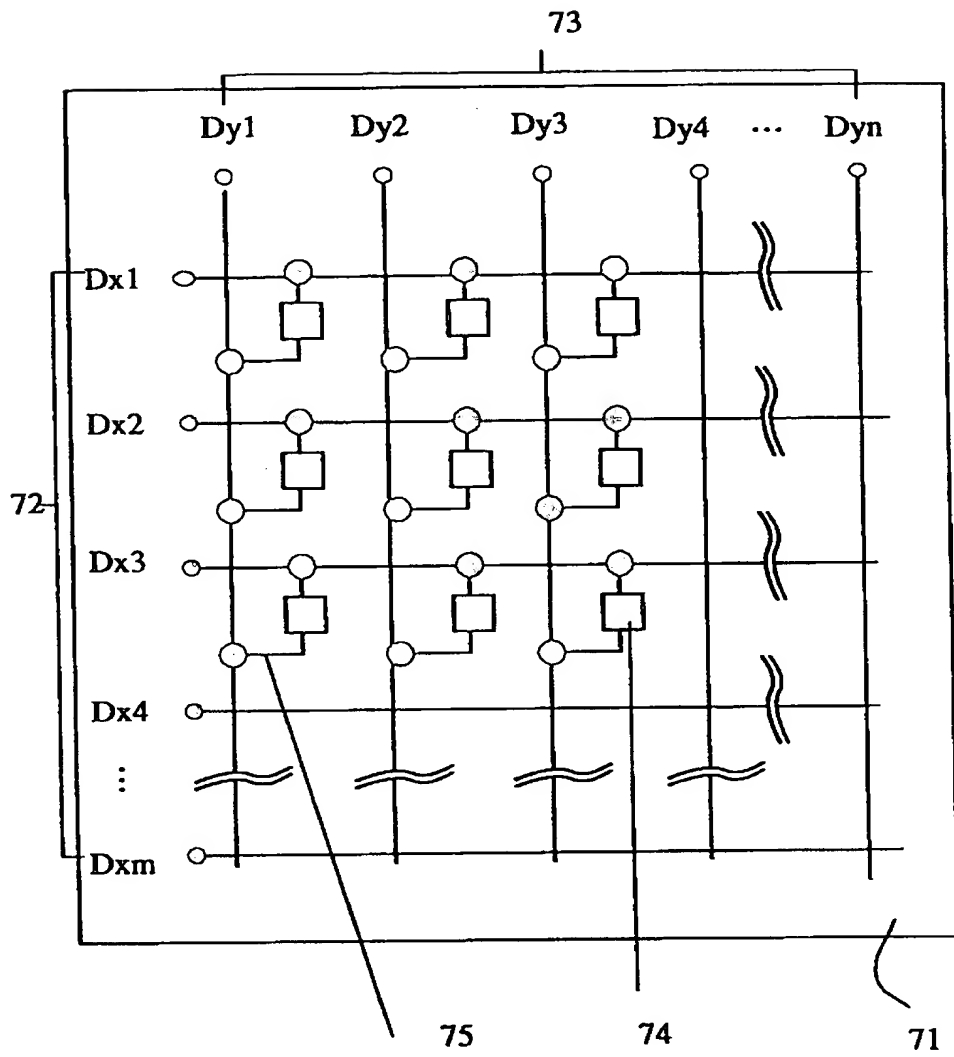
【图 4】



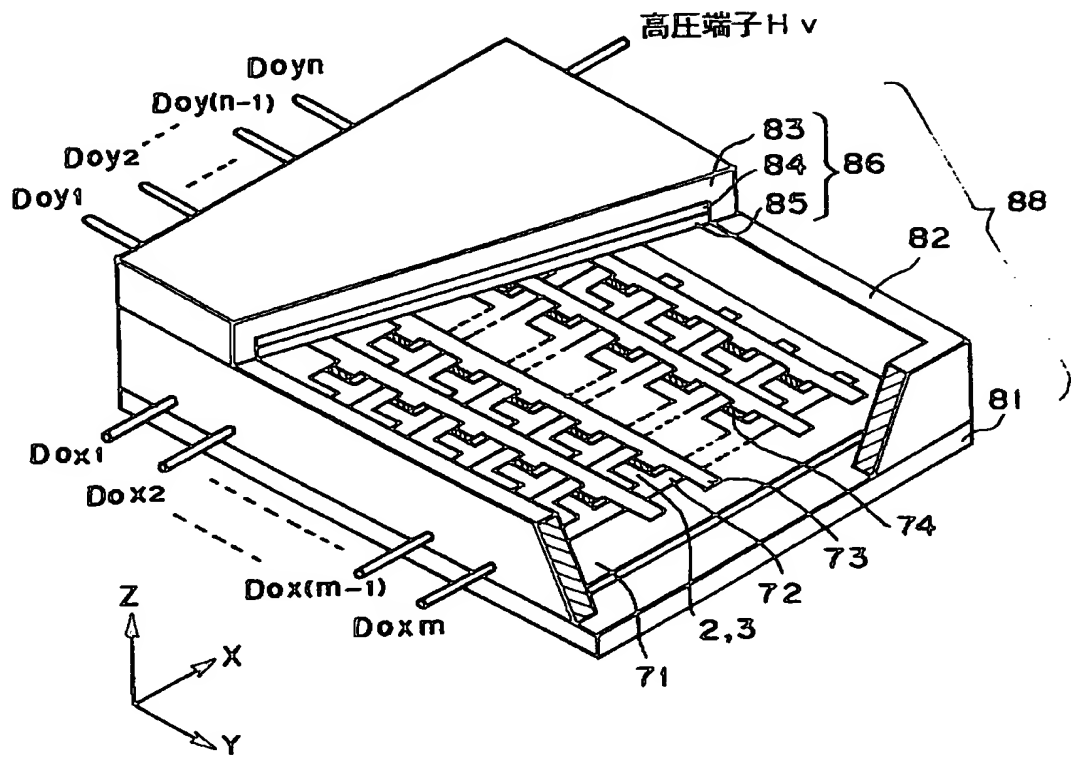
【図 5】



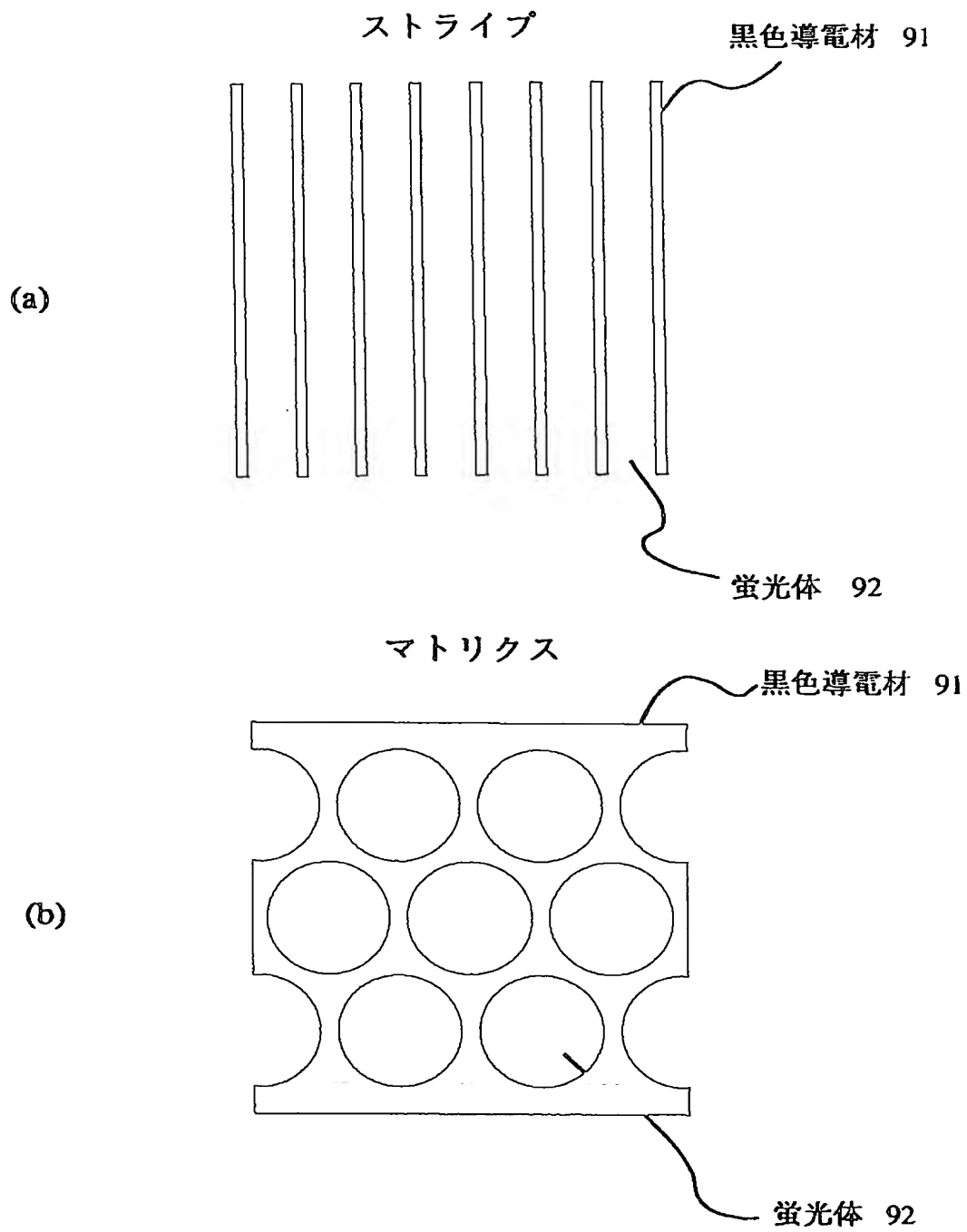
【図 6】



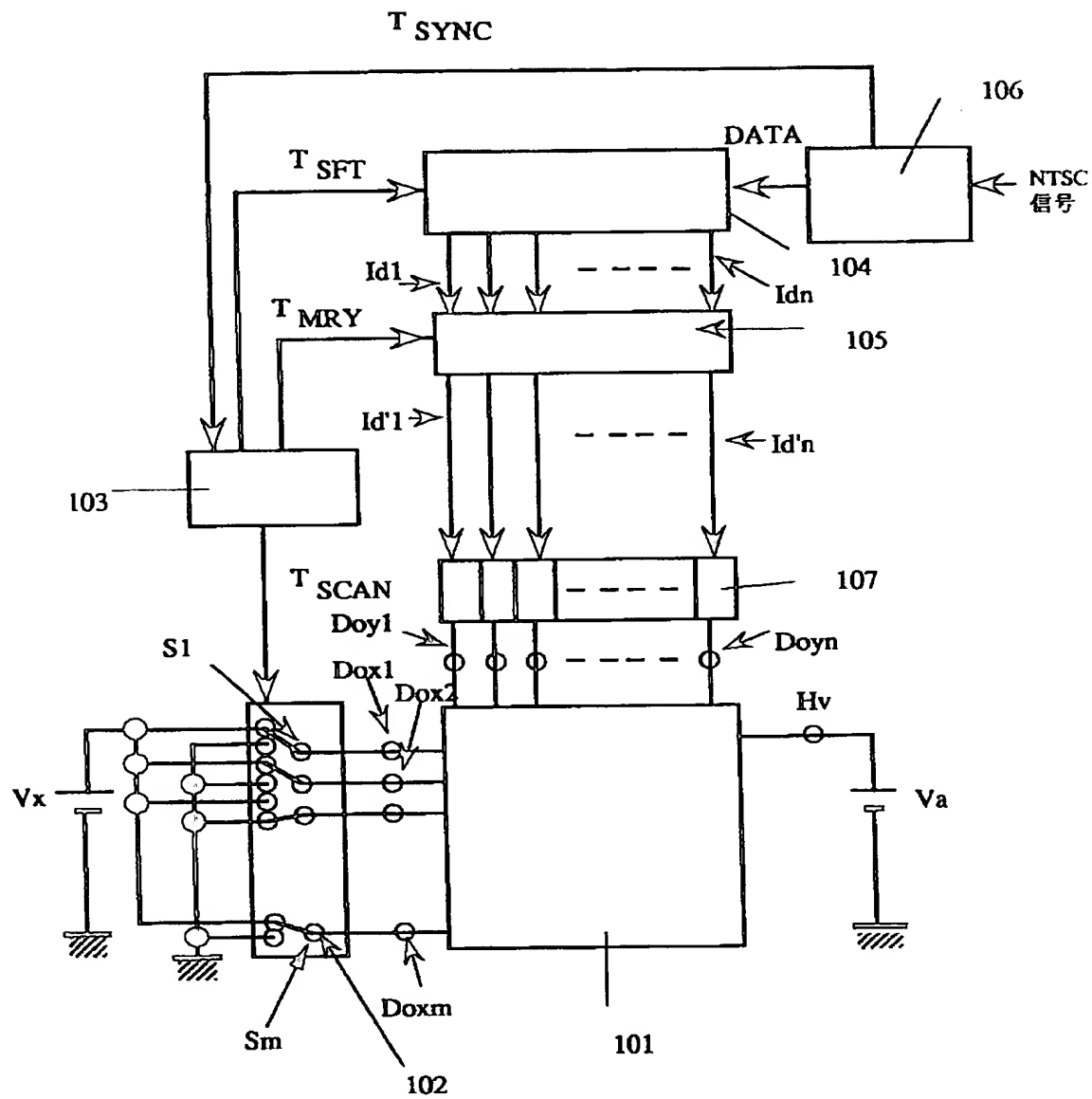
【図 7】



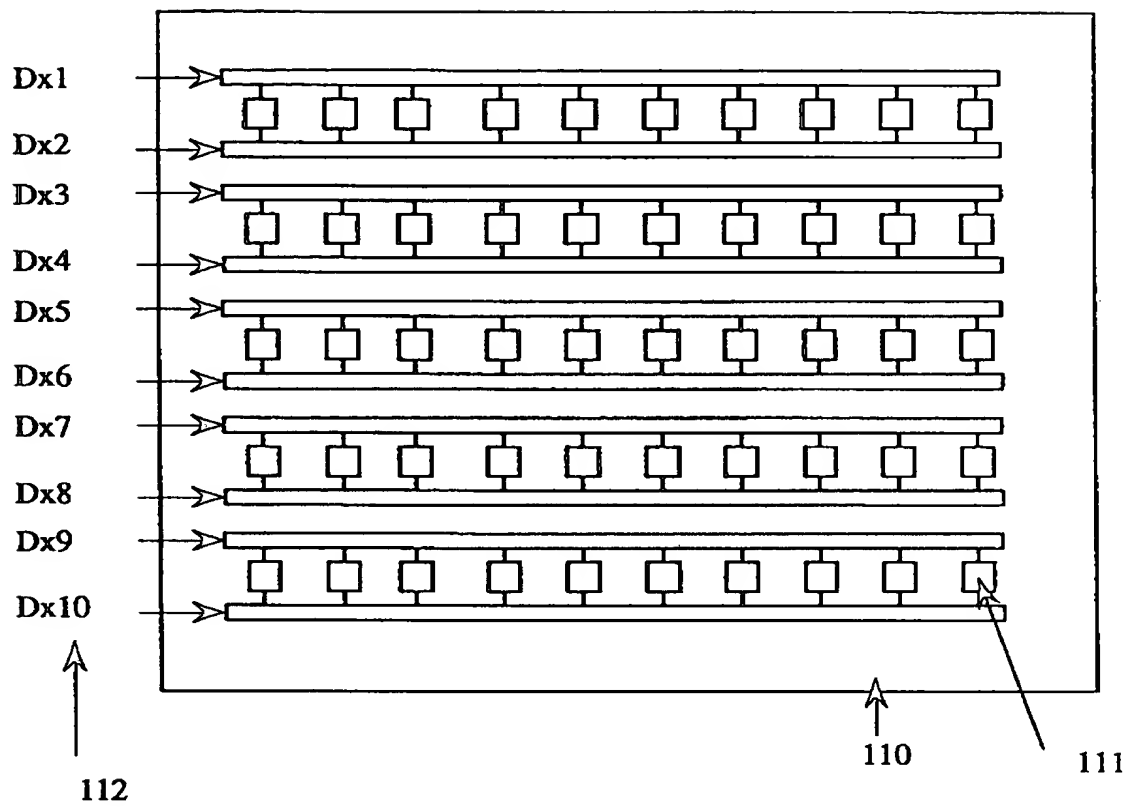
【図 8】



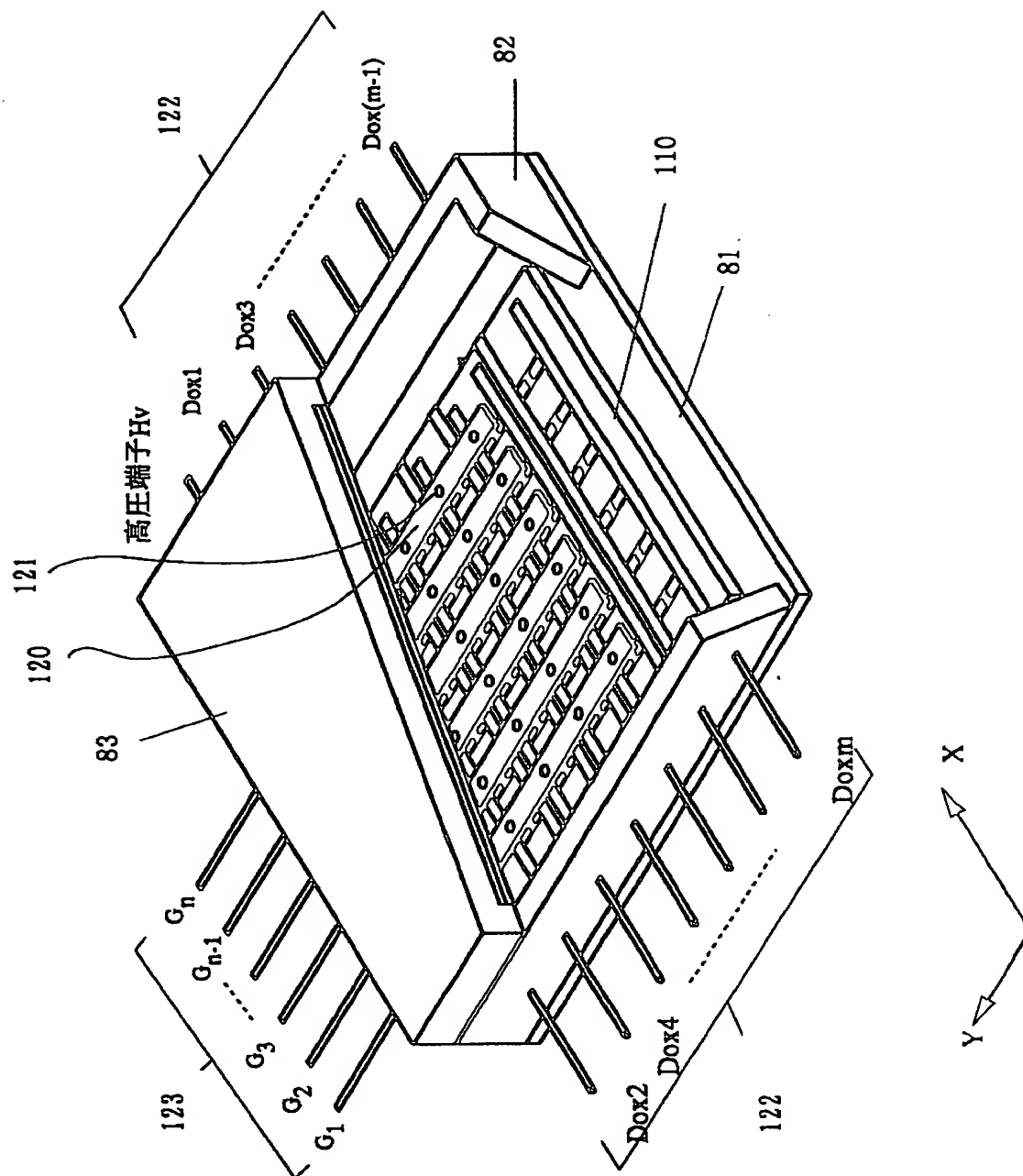
【図9】



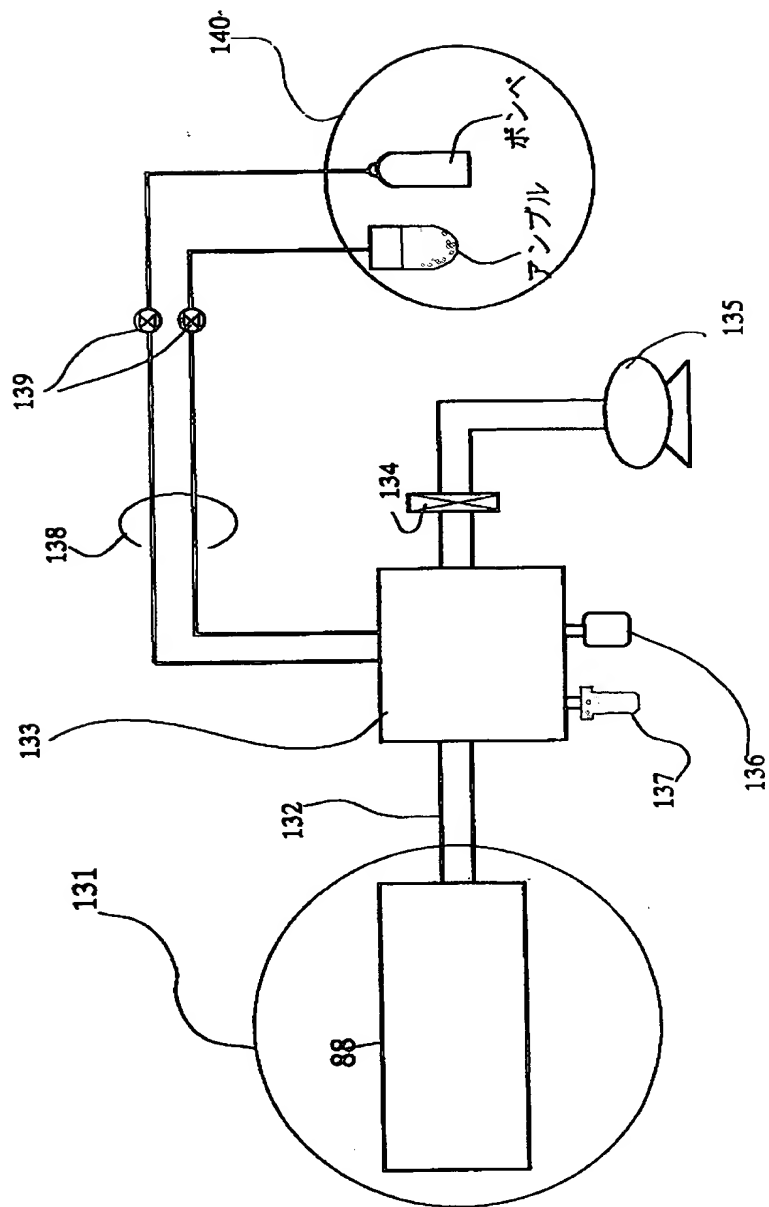
【図 1 0】



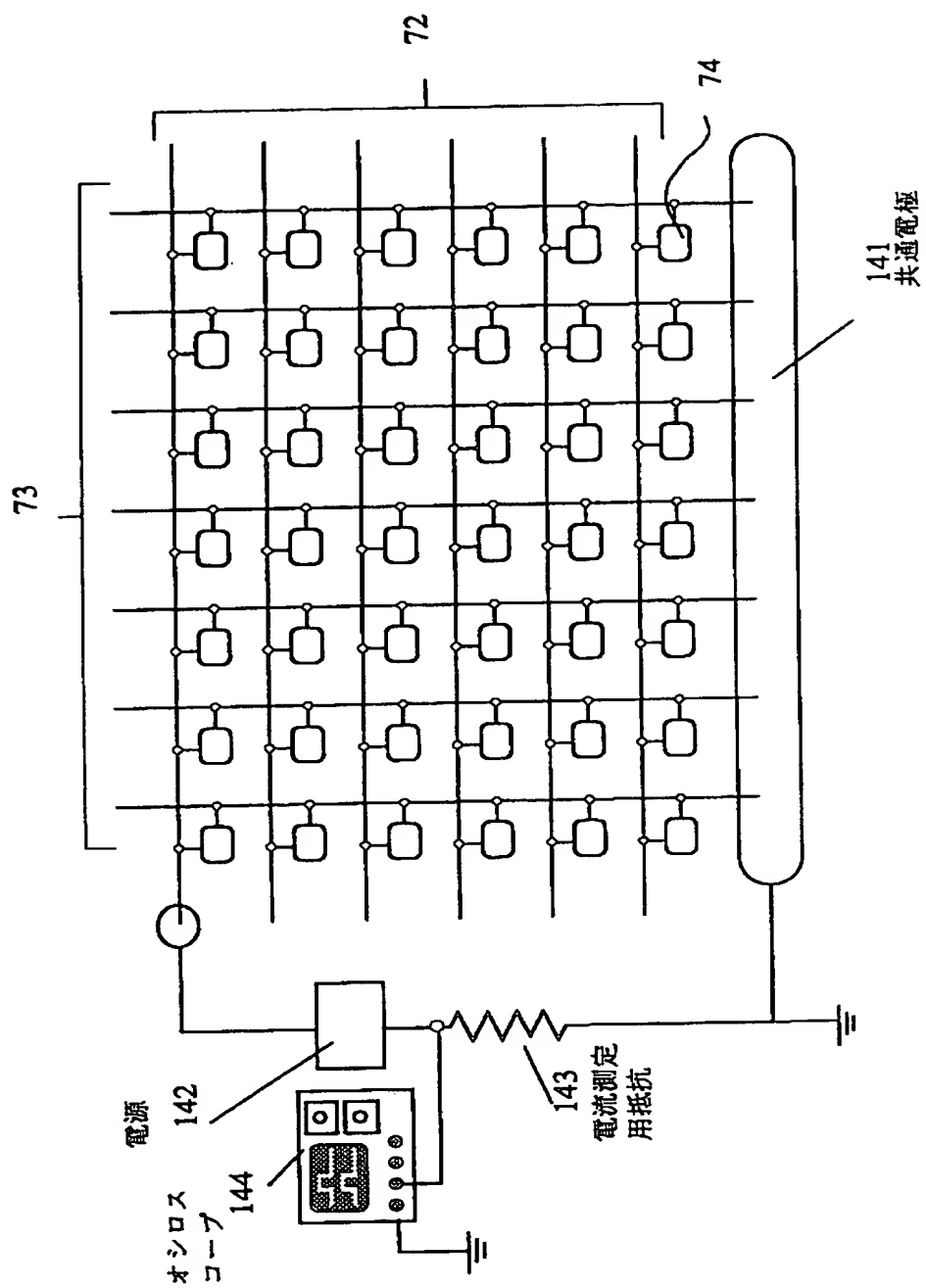
【図 11】



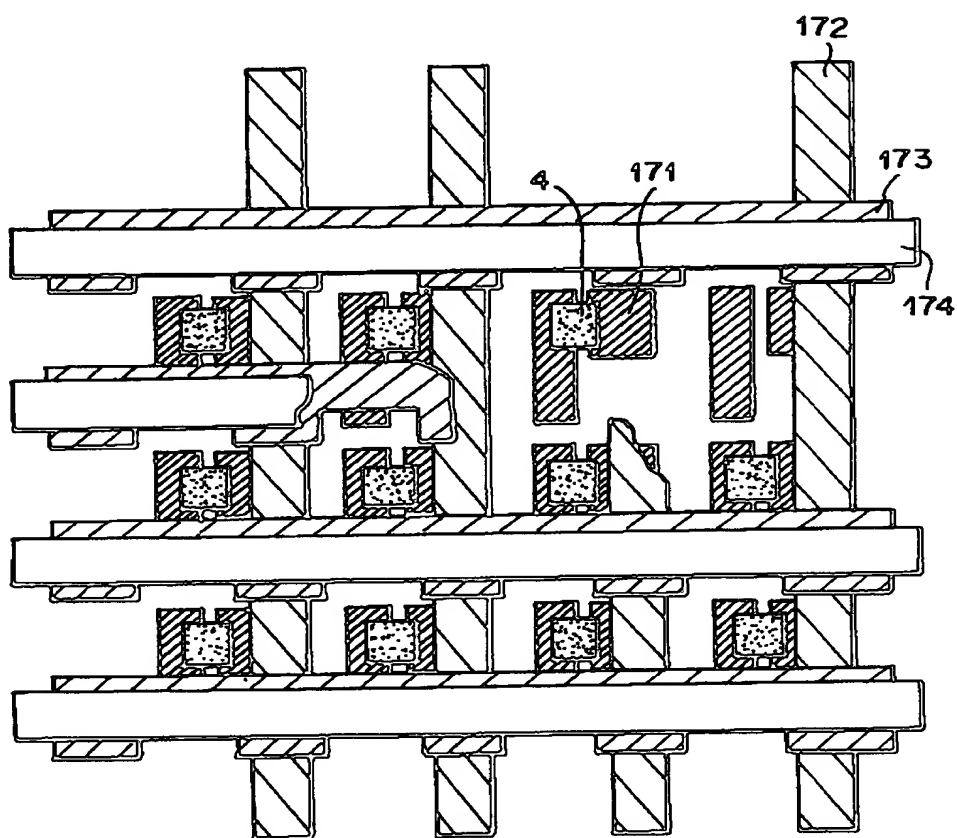
【図 12】



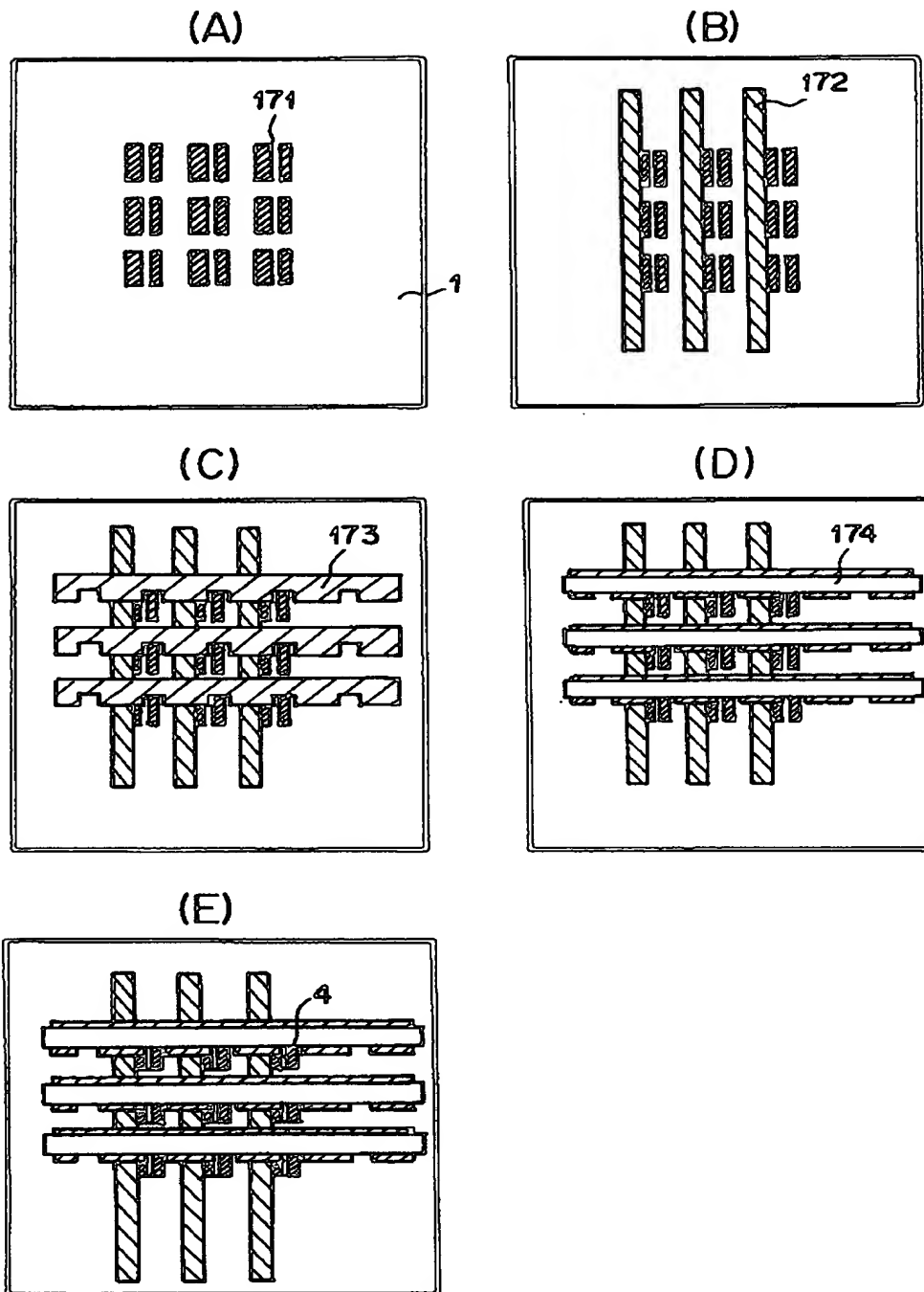
【図 13】



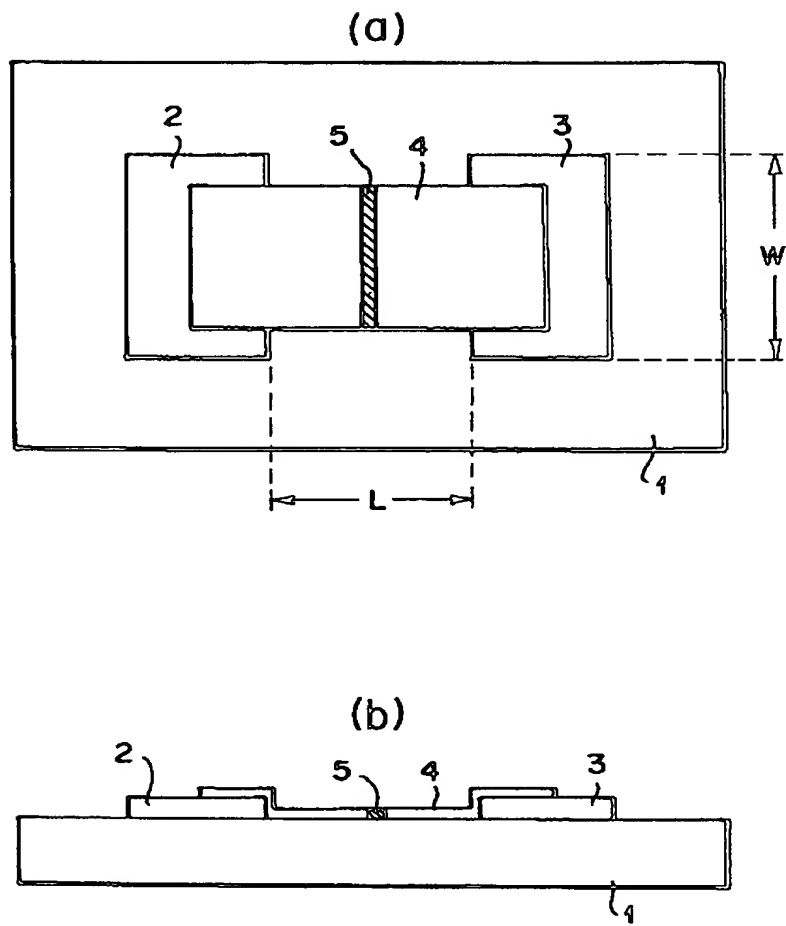
【図 14】



【図 15】



【図 16】





【書類名】 要約書

【要約】

【課題】 基板のNaの導電性膜などへの拡散及びチャージアップによる悪影響を回避することを可能とする電子源形成用基板を提供する。

【解決手段】 対向する一対の素子電極と、素子電極に接続し電子放出部を含む導電性膜とを有する電子放出素子を1又は複数組載置する電子源形成用基板において、主成分として $\text{SiO}_2$ を69～75重量%含み、副成分中最多成分として $\text{Na}_2\text{O}$ を10～17重量%含むガラスよりなる基体と、基体上に形成された、 $\text{SiO}_2$ を主成分とした絶縁性材料より成る第一の層と、第一の層上に形成された、 $\text{SiO}_2$ を構成成分として且つ、基板表面のシート抵抗値が $10^8 \sim 10^{10} \Omega/\square$ である第二の層を備える。

【選択図】 図1



【書類名】 職権訂正データ  
【訂正書類】 特許願

<認定情報・付加情報>

【特許出願人】

【識別番号】 000001007

【住所又は居所】 東京都大田区下丸子3丁目30番2号

【氏名又は名称】 キヤノン株式会社

【代理人】 申請人

【識別番号】 100065385

【住所又は居所】 東京都港区浜松町1丁目18番14号 S V A X 浜  
松町ビル

【氏名又は名称】 山下 穰平



特平 10-328586

出 願 人 履 歴 情 報

識別番号 [000001007]

1. 変更年月日 1990年 8月30日  
[変更理由] 新規登録  
住 所 東京都大田区下丸子3丁目30番2号  
氏 名 キヤノン株式会社